

2001 年攻读硕士学位研究生入学试题 考试科目：微机原理

微机原理（100 分）

一、简述：（每小题 5 分，共 30 分）

1、试列举 Intel 8086 CPU 和 Inter 8088 CPU 的若干不同之处？（5 分）

1) 外部数据总线位数的差别：8086CPU 的外部数据总线有 16 位，在一个总线周期内可以输入/输出一个字；而 8088CPU 只有 8 位，在一个总线周期内只能输入/输出一个字节；

2) 指令队列容量的差别：8086CPU 的指令队列可以容纳 6 个字节，且在每个总线周期中可以从存储器中取出 2 个字节的指令代码填入指令队列；而 8088CPU 的指令队列可以容纳 4 个字节，在每个总线周期中只能从存储器中取出 1 个字节的指令代码填入指令队列；

3) 引脚特性的差别：①AD15~AD0 的定义不同：8086 中都定义为地址/数据复用总线；而在 8088 中，由于只需 8 条数据总线，因此，对应于 8086 的 AD15~AD8 这 8 条引脚，8088 定义为 A15~A8，只作地址线使用；②34 号引脚的定义不同：在 8086 中定义为 \overline{BHE} 信号（高八位数据允许/状态复用信号）；而在 8088 中定义为 $\overline{SS_0}$ ；③28 号引脚的相位不同：在 8086 中为 M/\overline{IO} ；而在 8088 中被倒相，改为 IO/\overline{M} 。

2、8086/8088 CPU 中的 IP 与之前的 8 位机 CPU 中的 PC（程序计数器）有何区别？（5 分）

由于 8086/8088 分为 EU 和 BIU，使得取指令和执行指令可以同时进行，所以 IP 总是保存着 EU 要执行的下一条指令的偏移地址；而 8 位机的 PC 总是保存下一个取指令的地址。

3、8086/8088CPU 有 20 根地址线，写出物理地址与逻辑地址的转换公式。

又，假设地址线增至 24 根、28 根、32 根，写出类似的物理地址与逻辑地址的转换公式。（5 分）

设段基址为 XXXXH，偏移地址为：YYYYH 则：

地址线为 20 根时：PA= XXXX0H+YYYYH(即：物理地址=段基址左移四位+偏移地址)

地址线为 24 根时：PA= XXXX00H+YYYYH(即：物理地址=段基址左移八位+偏移地址)

地址线为 28 根时：PA= XXXX000H+YYYYH(即：物理地址=段基址左移十二位+偏移地址)

地址线为 32 根时：PA= XXXX0000H+YYYYH(即：物理地址=段基址左移十六位+偏移地址)

4、解释 8255 工作于有联络线的方式 1、2 时， \overline{OBF} 、ACK 的含义与作用。
(5 分)

8255 工作于方式 1、2 时， \overline{OBF} 的含义是：输出缓冲器满。表示 CPU 已经把数据输出给指定的端口，外设可以把数据输出。ACK 的含义是：它是一个外设的响应信号，表示 CPU 输出给 8255 的数据已经由外设接受。

5、解释存储器片内寻址的单、双译码和片外寻址的线选和全译码。(5 分)

(1) 单译码方式：它的全部地址码只用一个电路译码，译码输出的字选择线直接选中对应的存储单元。这一方式需要的选择线数较多，只适用于容量较小的存储器。

(2) 双译码方式（或称矩阵译码）：它将地址码分为 X 与 Y 两部分，用两个译码电路分别译码。X 向译码称为行译码，其输出线称为行选择线，它选中存储矩阵中一行的所有存储单元。Y 向译码又称为列译码，其输出线称为列选择线，它选中一列的所有单元。只有 X 向和 Y 向的选择线同时选中的那一位存储单元，才能进行读写操作。

线选：不用译码器，直接使用 CPU 的一条或几条地址线译码。

全译码：CPU 的全部地址总线都参与地址译码。

6、堆栈的存取规则是什么？使用或不使用堆栈技术有什么差异或影响？(5 分)

堆栈的存取规则是“后进先出”；一个子程序调用可以象跳转(jump)命令那样改变程序的控制流程，但是与跳转不同的是，当工作完成时，函数把控制权返回给调用之后的语句或指令。这种高级抽象实现起来需要堆栈的帮助。另外，执行子程序的时候，通常都要用到内部寄存器，并且执行结果会影响标志位。所以，必须把在调用子程序前的主程序保留在寄存器这的中间结果和标志位的状态保留下来，这也需要堆栈。堆栈也用于给函数中使用的局部变量动态分配空间，同样给函数传递参数和函数返回值也要用到堆栈。

二、用双输入/单输出与非门实现下列逻辑表达式：(10 分)

$$W = X \oplus Y \oplus Z$$

注：1、 \oplus ：异或运算

2、非门可用双输入/单输出与非门实现（输入端并联）

解：变换： $W = X \oplus Y \oplus Z = (X \oplus Y) \oplus Z$

令 $X=A$ ， $Y=B$ ，则输出 $(X \oplus Y)$ 如下图； ①

以下图的输出为一个新的输入，Z 为另一输入，根据①式类推，便可得到最终输出 W：

相器 U71 输出低电平，送到 7407 的输入端，使它的四个输出端都为低电平。当 DIP 开关高 4 位接通时，把低电平送上 PC0~PC3；而当开关断开时，把高电平送上 PC0~PC3。这事 CPU 可以读出 DIP 开关高四位的状态。8088/8086 通过设置 PB3 为低电平和高电平两次读 PC 口，就可以取得 DIP 开关的设置状态。

六、在 8259 中：（10 分）

（1）IRR、IMR、ISR 各寄存器有何功能？（5 分）

IRR：中断请求寄存器。用于存放由外设产生的中断请求信号 IR0~IR7；

IMR：中断屏蔽寄存器。用于存放对中断请求的屏蔽信息。

ISR：中断服务寄存器。用来存放正在处理的中断级。

（2）8259 只有 A₀ 地址线，如何区分或寻址片内的 ICW1~4 和 OCW1~3？（5 分）

由 A₀, D₄, D₃, RD, WR 联合控制来区分。

若 D₄=1, A₀=0, 则是对 ICW1 操作；若 D₄=0, A₀=0, D₃=0 则是对 OCW2 操作；若 D₄=0, A₀=0, D₃=1 则是对 OCW3 操作；若 A₀=1, WR=0, RD=1, D₄、D₃ 为任意，则是对 ICW2、ICW3、ICW4 和 OCW1 操作。

七、8237 中：（10 分）

（1）解释四种操作类型和四种传递方式：（5 分）

四种操作类型：DMA 写传送、DMA 读传送、DMA 校验、存储器—存储器传送；四种传递方式：单次传送方式、成组传送方式、请求传送方式、级联传送方式。

（2）在 8237 的压缩时序中，只使用 S1, S4，省略了 S1, S3：（5 分）

a、使用压缩时序目的何在？

b、在哪种情况下可用压缩时序？

答：a.为了缩短数据传输时间。压缩时序可以在 2 个时钟周期完成一次传输。

b.读周期中将 RAM 或 I/O 的数据读到 DB0-DB7，等待写周期的到来。

若采用提前写（扩展写）方式，在此周期就出现写信号 MEMW 或 IOW 有效。采用压缩时序，就可以去掉 S3 周期，将读信号缩短到与写信号一样的长度（为 S4 周期）。

八、采用全译码方式设计一个存储器系统：（10 分）

1、低 8K 为 EPROM，选用两片 4K×8 的 2732A；

2、高 4K 为 RAM，选用两片 2K×8 的 6116；

3、地址范围为 0000H~2FFFH。

绘出与 CPU 的接口示意图。

注：1、译码器用 74LS 138，其输入信号为 G1, $\overline{G2A}$, $\overline{G2B}$, A, B, C；输出

为 $\overline{Y_0} \sim \overline{Y_7}$;

2、2732 与 6116 只需示意即可，不需具体引脚及标号；

3、CPU 只需画出 \overline{WREQ} 、 \overline{WR} 、 \overline{RD} 及 AB、DB 即可。

解：连接图如下：

