

深圳大学 2008 年硕士生入学考试初试试题

(答题必须写在答题纸上, 写在本试题纸上无效)

专业: 电路与系统 物理电子学

考试科目: 电子技术基础

一. 利用逻辑代数公式证明逻辑等式: (本题 10 分)

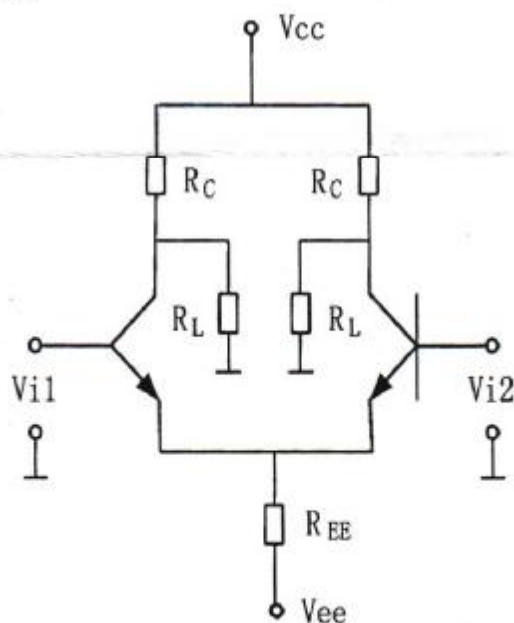
$$(1) \overline{A}\overline{B}D + \overline{B}CD + \overline{A}D + \overline{A}BC + \overline{A}BCD = \overline{A}B + \overline{A}D + \overline{B}C$$

$$(2) A \oplus B + B \oplus C + C \oplus D = \overline{A}B + \overline{B}C + \overline{C}D + \overline{D}A$$

二. 卡诺图法化简逻辑函数, 写出最简与或表达式: (本题 10 分)

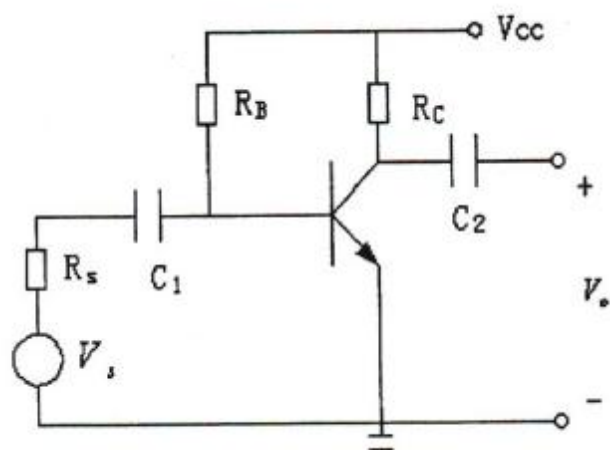
$$\overline{A}BC + \overline{C}D + \overline{A}C + \overline{B}D + \overline{A}CD$$

三. 差分放大电路如图所示, 各管参数已知且对称。(1) 画出差模信号等效电路; (2) 画出共模信号等效电路, 并推导从集电极 1 单端输出时共模电压放大倍数 $A_{vc单} = \frac{v_{oc1}}{v_{ic}}$ 表达式。(本题 10 分)



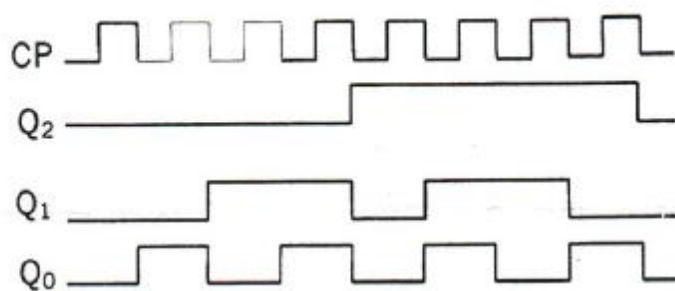
四. 写出四位超前进位加法器中各进位的逻辑表达式, 并画出该加法器的结构图。(本题 20 分)

五. 画出基本共射放大器 (图 4) 的高频等效电路; (2) 如果放大器的上限工作频率 f_H 主要由输入回路决定, 写出 f_H 表达式 (管子所有参数已知, C_1 、 C_2 足够大); (3) 说明提高 f_H 的主要措施。(本题 15 分)



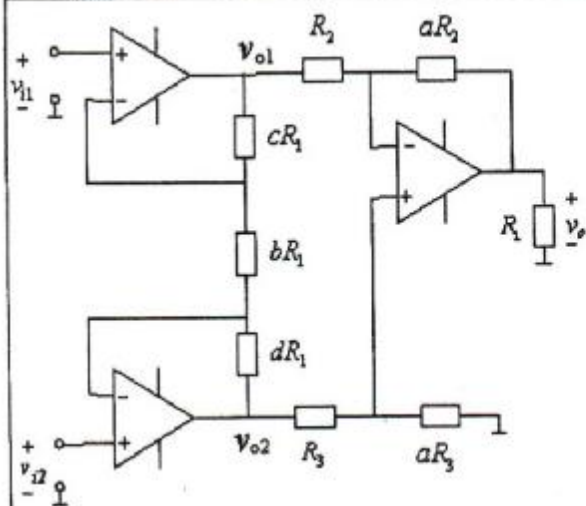
六. 画出主从 JK 触发器的电路图, 结合时序图描述主从 JK 触发器的一次变化问题。(本题 15 分)

七. 用下降沿触发的边沿 D 触发器和与非门设计一异步逻辑电路, 要求电路的时序如下图所示:
(本题 25 分)



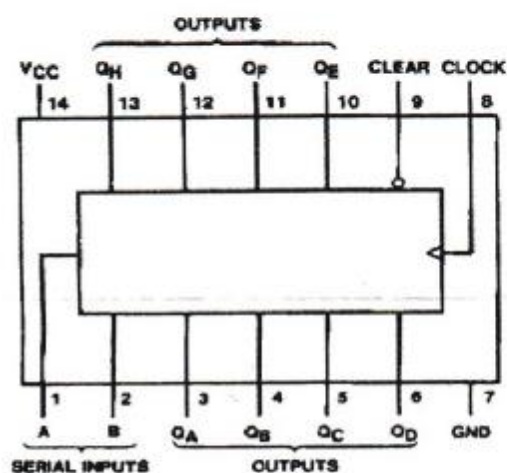
八. 下图为理想集成运放组成的运算电路, (1) 用 v_{i1} , v_{i2} 表达 v_{o1} , v_{o2} ; (2) 证明

$$v_o = a \left(1 + \frac{d}{b} + \frac{c}{b} \right) (v_{i1} - v_{i2}) \quad (\text{本题 25 分})$$



九. 用 74164 和门电路构造一个可控计数器，当控制信号位 0 时是八位环型计数器；当控制信号为 1 时是八位扭环型计数器。(本题 20 分)

注：74164MSI 的引脚安排和真值表如下所示。



Inputs				Outputs			
Clear	Clock	A	B	Q_A	Q_B	...	Q_H
L	X	X	X	L	L	...	L
H	L	X	X	Q_{A0}	Q_{B0}	...	Q_{H0}
H	\uparrow	H	H	H	Q_{An}	...	Q_{Gn}
H	\uparrow	L	X	L	Q_{An}	...	Q_{Gn}
H	\uparrow	X	L	L	Q_{An}	...	Q_{Gn}