

国防科技大学研究生院 2000 年硕士生入学考试

计算机原理与系统结构试题

一. 解释下列名词、术语的含义 (每个 2 分, 共 20 分)

1. 计算机体系结构
2. 透明性
3. 指令集系统的规整性
4. 非线性流水线
5. 并行处理机
6. 指令周期
7. 寻址技术
8. 选择通道
9. 通道程序
10. 自同步能力

二. 填空 (每空 1 分, 共 20 分)

(第 1——4 小题必做, 在第 5——13 小题中, 或做第 5——8 小题, 或做第 9——13 小题)

1. 一般说来, 按照 CPU 内部操作数的存储方式, 可以将机器指令集结构分为: () () 和 ()。
2. 单机和多机并行性发展的技术途径有 ()、() 和 ()。
3. 存储器层次结构设计技术的基本依据是程序 ()。
4. 在计算机体系结构设计中, 软硬件功能分配取决于 ()。
5. 从主存的角度来看, “Cache---主存”层次的目的是为了 ()。
6. 描述向量的数据的参数有: ()、()、()。
7. 程序循环是用 () 来实现的, 而微程序循环是用 () 来实现的。
8. 可擦写光盘是通过 () 效应实现写入信息的, 而读书信息则是通过 () 实现的。
9. DMA 与 CPU 访问冲突的处理方式有 ()、()、() 三种。

三. 简答以下问题 (每个 3 分, 共 12 分)

1. 简述 CISC 结构计算机的缺点和 RISC 结构计算机的设计原则。
2. 全相联和直接相联相比, 各有何优缺点?
3. 程序控制指令有什么功能? 它主要包括哪些指令?
4. 试述 DMA 传送数据与通道传送数据有何区别、?

四. 计算题 (每个 5 分, 共 20 分)

(第 1~3 小题必做, 在第 4、第 5 小题中, 或做第 4 小题, 或做第 5 小题。)

1. 假设在某串行处理机上运行的一个程序, 该程序的可并行化程序段执行时间占整个程序执行时间的 80%。现将该程序运行在一台并行处理机上, 假设并行处理机对并行化程序段执行的加速比为 S_n , 且不改变其它非并行化程序段(串行程序段)的执行时间, 求该并行处理机对该程序的加速比, 以及该加速比的峰值, 从中可以得到什么启示?
2. 某计算机中使用 32KB 的 Cache, 分别用于存放指令和数据, 其失效率分别为 0.39%(指令 Cache)和 4.82%(数据 Cache)。假设所有存储访问操作的 75%为取指令操作, 25%为访问数据操作, Cache 的命中时间(即访问命中时所需要的时间)为 1 个时钟周期。失效开销为 50 个时钟周期。试计算平均访问时间。
- 3.

已知 $A = 10^{-10} \times (-0.1001000)$, $B = 10^{-11} \times (+0.1111110)$ 。试按补码(阶和尾数均采用补码)加减法运算规则与步骤, 求 $[A - B]_{\text{补}} = ?$ (要求写出计算步骤)。注: 题中底数

10 是二进制。

4. 一组数组多路通道, 每传送 8K 字节选择一次设备, 选择设备的时间为 1ns, 传送一个字节的时间为 125ns, 其连接 4 台硬盘, 3 台磁光盘, 它的数据传输率分别为 4MB/ST 2MB/S。

试求该通道的极限流量和实际最大的流量。

① 该存储器层次结构的平均访问时间;

(2) 和直接对主存进行访问相比, 该存储器层次结构访问时间加速比是多少? 加速比的最大值是多少?

五、综合题(统考生做 1、2、3、4, 单考生做 1、2、3、4 或 5、6、7、8, 每小题 7 分, 共 28 分)

1. 在 500MHz 的 DLX 流水线上运行如下代码序列:

loop:

LW F1,0(R2)

ADDF F1,F1,#1

SW F1,0(R2)

ADDI R2,R2,#4

SUB R4,R3,R2

BNZ R4,loop

其中, R3 的初值 $R2 + 396$ 。假设在整个代码序列的运行过程中所有的存储器访问都是命中的, 并且在一个时钟周期中对同一个寄存器的读操作和写操作可以通过寄存器文件“定向”, 假设该 DLX 流水线有正常的定向路径和一个单周期延迟分支, 以最大程度加速上述指令序列的执行为目标, 请对该循环中的指令进行调度(你可以重新组织指令的顺序, 也可以修改指令的操作数, 但是注意不要增加指令的条数)。请画出该指令序列的执行的流水线时空图, 并计算执行上述简单循环所需的时钟周期数。其 MIPS 和 MFLOPS 各是多少?

2. 为了解决计算机系统中的 I/O 和 Cache 一致性问题, 现将输入输出总线和 Cache 相联, 直接将磁盘页面读入 Cache。假设:

(1) 每个页面为 16KB, Cache 块为 64B

(2) I/O 操作所对应的新页的地址不在 Cache 中且 CPU 不会访问新页中的任何数据。I/O 系统缓冲器能够存储一个 64B 的块。CPU 不会访问新页中的任何数据。

(3) Cache 中 95% 的被替换块将会被再次读取, 并引发一次 Cache 失效; 访问或失效在所有 Cache 块中均匀分布, Cache 使用写回策略。平均 50% 的块被修改过。没有 I/O 操作时每 1 百万个时钟周期中有 15000 次失效。

(4) 失效开销指令是 30 个时钟周期。如果替换块被修改过, 则再加上 30 个时钟周期用于将被修改过的块写回主存。

假设计算机平均每百万个时钟周期处理一页磁盘页面。请分析 I/O 操作对 CPU 性能的影响有多大。

3. 某微程序控制器, 微指令采用断定型微地址结构, 其中非测试地址 HF 为 7 位, 测试地址 TF 为 1 位, 测试条件或测试源有 7 个。试给出微指令结构, 并画出形成测试地址的原理框图。

4. 外围电路采用 TTL 电路, 使用 64K X 4 位的 DRAM 存储芯片, 构成 1M X 64 位的主存储器。试回答:

✱ 需要多少存储芯片?

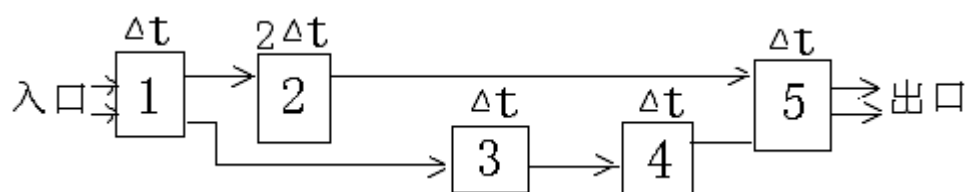
✱ 存储芯片地址引脚个数是多少?

✱ 存储器地址码位数是多少? 作为片选译码的地址码位数是多少?

✱ 假设一个 TTL 门电路可以驱动 8 个 \overline{WE} 端, 计算存储器 \overline{WE} 需要多少个 TTL 门电路驱动?

5. 试画出 $N=8$ 的 3 级立方体网络(8 个输入端, 8 个输出端) 若要同时实现 $0 \rightarrow 2, 3 \rightarrow 5$ 的连接, 是否可以采用级控制方式。为什么? 应如何设置控制信号?

6. 给定下面的动态多功能流水线：



其中：

1 为乘法流水线，2 为加法流水线。假设输入和输出的缓冲寄存器足够大，而且输出

端的数据可以直接返回到输入端。若用流水线的计算 $\prod_{i=1}^6 (x_i + y_i)$ ，试按最快方式处理。

(1) 画出此情况下的时空图

(2) 计算其实际吞吐率、效率和加速比。

7. 在有级屏蔽的多级中断系统中，系统软件对屏蔽码赋值，可灵活改变中断处理次序。假设级屏蔽位是“0”表示开放中断，是“1”表示屏蔽中断，现有三级中断，其优先处理次序为：1→3→2。试将满足要求的屏蔽码填入下面三级中断屏蔽码表中。

中断级别	中 断 屏 蔽 位		
	一级	二级	三级
目态			
第一级			
第二级			
第三级			

8. 何谓程序中断传送？简述程序中断控制输入设备传送的过程？