

武汉科技大学

2007 年硕士研究生入学考试试题

考试科目代码及名称: 421 软件基础 I (含数据结构和计算机组成原理)

共 4 页 第 1 页

- 说明: 1. 适用专业: 计算机应用技术、计算机软件与理论、计算机系统结构  
2. 答题内容写在答题纸上, 写在试卷或草稿纸上一律无效。  
3. 考试时间 3 小时, 总分值 150 分。  
4. 算法描述可用类 Pascal、C 语言。

数据结构部分 (共 8 大题, 共 80 分)

一、(10 分) 设键盘输入若干个正整数 (以输入 0 表示结束), 试设计相应的数据结构及算法建立一个单向链表, 要求满足以下要求:

- (1) 如果整数重复出现, 则只在链表上保留一个;
- (2) 链表结点中包含一个计数域, 记录该整数重复出现的次数;
- (3) 构造的链表应以整数重复出现次数的降序排列;

二、(10 分) 假设一稀疏矩阵  $A[1..n, 1..n]$  如下:

$$\begin{bmatrix} & & & & & & a_{1,n-1} & a_{1,n} \\ & & & & & & & \\ & & & & & a_{2,n-2} & a_{2,n-1} & a_{2,n} \\ & & & & a_{3,n-3} & a_{3,n-2} & a_{3,n-1} & \\ & & & a_{4,n-4} & a_{4,n-3} & a_{4,n-2} & & \\ & & & \dots & \dots & & & \\ & & a_{n-3,3} & a_{n-3,4} & a_{n-3,5} & & & \\ & a_{n-2,2} & a_{n-2,3} & a_{n-2,4} & & & & \\ a_{n-1,1} & a_{n-1,2} & a_{n-1,3} & & & & & \\ a_{n,1} & a_{n,2} & & & & & & \end{bmatrix}$$

该矩阵中非零元逐行存放于数组  $B[0..3n-3]$  中, 使得  $B[k]=A[i, j]$ , 写出将 A 存入数组 B 中的算法以及由数组 B 确定  $A[i, j]$  的算法。

三、(10 分) 模式匹配算法是在主串中快速寻找模式的一种有效的方法。

- (1) 假设串采用如下存储结构, 试设计 KMP 算法实现模式匹配。

```
typedef struct strip
{ char ch[maxlen];
  int curlen;
}string;
```

- (2) 如果主串和模式的长度分别为  $m, n$ , 则 KMP 算法的时间复杂性是多少?
- (3) 如果某模式  $P='abcaacabaca'$ , 请给出它的 NEXT 函数值。

四、(10 分) 设有两个栈  $S_1, S_2$  都采用顺序栈方式, 并且共享一个存储区  $[0..maxsize-1]$ , 怎样分配这部分存储空间, 使得对任一栈, 仅当这部

分空间全满时才发生上溢。若采取如下数据结构,试设计  $S_1, S_2$  有关入栈和出栈的操作算法。

```
#define maxsize // 两栈共享顺序存储空间所能达到的最多元素数
typedef struct
{
    elemtp stack[maxsize]; // 栈空间
    int top[2]; // top 为两个栈顶指针, 0 表示 s1 栈, 1 表示 s2 栈
}stk;
stk s; // s 是如上定义的结构类型变量, 为全局变量。
```

五、(10 分) 若二叉树采用二叉链表的数据结构, 试设计相应的非递归算法中序遍历该二叉树。

六、(10 分) 下表给出了某工程各工序之间的优先关系和各工序所需时间。

工序代号	A	B	C	D	E	F	G	H	I	J	K	L	M	N
所需时间	15	10	50	8	15	40	300	15	120	60	15	30	20	40
先驱工作	--	--	A, B	B	C, D	B	E	G	E	I	F	H, J, K	L, N	G

- (1) 画出相应的 AOE 网。
- (2) 列出各事件的最早发生时间, 最迟发生时间。
- (3) 找出关键路径并指明完成该工程所需最短时间。

七、(10 分) 二叉排序树的建立是否与关键字输入序列有关? 试给出例子进行说明来证明你的结论。试设计一个递归算法能够输出二叉排序树的关键字降序序列。对于某二叉排序树, 现在需要删除指针  $p$  所指向的节点 (其双亲节点指针为  $f$ ,  $p$  是  $f$  的左孩子节点) 使得该二叉树仍然是二叉排序树, 试根据不同的情况写出相应的操作算法。

8、(10 分) 对于  $n$  个元素组成的线性表进行快速排序时, 所需进行的比较次数与这  $n$  个元素的初始排序有关。问:

- (1) 当  $n=7$  时, 在最好情况下需进行多少次比较? 请说明理由。
- (2) 当  $n=7$  时, 给出一个最好情况的初始排序的实例。
- (3) 当  $n=7$  时, 在最坏情况下需进行多少次比较? 请说明理由。
- (4) 当  $n=7$  时, 给出一个最坏情况的初始排序的实例。

## 计算机组成原理部分 (共 5 大题, 共 70 分)

一、单项选择题, 从供选择的答案中选出正确的答案 (每小题 1 分, 共 10 分)。

1. 设有一定点整数的 8 位补码为 10101101, 则该补码对应的十进制真值是 \_\_\_\_。  
A. 173      B. -163      C. -83      D. -45
2. 为了提高数据的可靠性, 决定在 7 位数据的前面 (左边) 加一个奇校验位, 十六进制数 7A 和 59 加奇校验位后的结果分别为 \_\_\_\_。  
A. 7A 和 59      B. FA 和 59      C. FA 和 D9      D. 7A 和 D9
3. 随机存取存储器是指 \_\_\_\_。  
A. 只读存储器      B. 只写存储器  
C. 可读可写的存储器      D. 存取任何单元的存取时间都相同的存储器
4. 某 32 位字长的计算机, 其存储器按字编址时的地址码需要 24 位, 若改为按字节编址则需要地址码的长度是 \_\_\_\_ 位。  
A. 24      B. 25      C. 26      D. 28

5. 在主存储器和 CPU 之间增加 cache 的目的是\_\_\_\_。
  - A. 解决 CPU 和主存之间的速度匹配问题
  - B. 扩大主存储器的容量
  - C. 扩大 CPU 中的通用寄存器的数量
  - D. 既扩大主存容量又扩大 CPU 通用寄存器数量
6. 采用虚拟存储器的主要目的是\_\_\_\_。
  - A. 提高主存储器的存取速度
  - B. 扩大主存储器的存储空间, 并能进行自动管理和调试
  - C. 提高外存储的存取速度
  - D. 扩大外存储器的存储空间
7. 在 CPU 中, 指出后继指令地址的寄存器是\_\_\_\_。
  - A. 指令寄存器
  - B. 程序计数器
  - C. 地址寄存器
  - D. 状态条件寄存器
8. 当流水线的各个过程段操作时间不一致时, 流水线的操作周期应该取这些过程段操作时间的\_\_\_\_。
  - A. 最大值
  - B. 最小值
  - C. 平均值
  - D. 任意值
9. 一个分辨率为  $1024 \times 1024$  的显示器, 若要达到 32 位真彩色, 则刷新存储器的容量至少应是\_\_\_\_。
  - A. 1KB
  - B. 1MB
  - C. 2MB
  - D. 4MB
10. 在以下关于同一盘面磁道位密度的叙述中, 正确的是\_\_\_\_。
  - A. 外圈磁道位密度最大
  - B. 中间磁道位密度最大
  - C. 内圈磁道位密度最大
  - D. 各磁道位密度相同

二. 填空题, 将适合填入以下各题下划线处的内容写在答题册中(每个空 1 分, 共 15 分)

1. 计算机中的数据和指令都以二进制代码的形式存放在内存中, 一般来讲, 取指周期从内存中取出的是【1】, 它流向【2】, 执行周期从内存取出(或向内存写入)的是【3】, 它流向(或从)【4】(流出)。
2. 若在指令格式中操作数的形式地址为 D, 当 D 就是操作数的地址时, 则寻址方式为【1】寻址, 当操作数的有效地址为  $(PC) + D$  时, 则其寻址方式为【2】寻址。
3. 堆栈是一片具有【1】特性的存储区。设 SP 为栈指针, A 为通用寄存器, Msp 为 SP 所指的存储单元。若数据进栈的操作为  $(SP) - 1 \rightarrow SP, (A) \rightarrow Msp$ ; 那么, 出栈的操作应该是【2】。
4. 集中式总线仲裁有三种方式:【1】、【2】和【3】。
5. 主机与外围设备之间的数据交换方式中主要由软件实现的有【1】方式和【2】方式。主要由附加硬件实现的有【3】方式、【4】方式和 PPU 方式。

三. 简答题(每小题 5 分, 共 15 分)

1. 定点小数的模 2 补码和模 4 补码有何区别? 用模 2 补码和模 4 补码做加减运算时, 如何判断其运算结果是否溢出? 请举例说明。
2. 微程序控制器由哪几个部件构成? 简述各部件的功能。微命令的直接表示法和编码表示法各有什么特点?
3. 在总线接口的信息传送方式中, 串行传送与并行传送有哪些主要特点? 分别用于什么场合?

#### 四. 计算题(15分)

1. 已知  $x = 0.1101$ ,  $y = -0.1011$ , 用补码阵列乘法或补码一位乘法(Booth 算法)计算  $[x \cdot y]_{\text{补}}$  并求出其真值(要求有计算过程)。(7分)

2. 设浮点数的阶码为 5 位, 尾数为 9 位(各含两位符号位), 两个浮点数分别是  
 $x = 2^{101} * (-0.1010101)$        $y = 2^{100} * (-0.1101011)$

请按浮点数加法运算步骤计算两数之和。(8分)

#### 五. 设计题(15分)

某计算机中, 已知配有一个地址空间为  $0000H \sim 3FFFH$  的 ROM 区域, 现在再用一种容量为  $16K \times 4$  位的存储芯片形成一个  $48K \times 8$  位的 RAM 区域, 其地址空间为  $4000H \sim FFFFH$ , 存储芯片有  $\overline{CS}$  (片选)、 $\overline{WE}$  (写入控制) 和  $\overline{OE}$  (读出控制)

信号控制端; CPU 地址总线为  $A_{15} \sim A_0$ , 数据总线为  $D_7 \sim D_0$ , 控制信号为  $R/\overline{W}$  (读/写),  $\overline{MREQ}$  (当存储器进行读或写操作时, 该信号指示地址总线上的地址是有效

的)。可供使用的译码器芯片功能表如下:

$\overline{E}$	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

其它门电路可任意使用, 请写出设计方案, 并画出逻辑图。

