

二 00 九年硕士研究生入学考试试题

考试科目: 微机原理与接口技术 报考专业: 通信与信息系统

要求: 1、答案一律写在答题纸上

2、需配备的工具: 计算器

一、填空题(每空 1 分, 共 35 分)

- 1、8086CPU 在内部结构可分为①和②两个独立单元。8086CPU 中数据总线为③位, 地址总线为④位, 指令队列缓冲器有⑤个字节, 最大内存容量为⑥; 8088CPU 中数据总线为⑦位, 地址总线为⑧位, 指令队列缓冲器有⑨个字节, 32 位结构的微型机的地址总线为⑩位, 数据总线⑪位, 最大内存容量⑫; 8086/8088 指令队列的存取方式为⑬。
- 2、SRAM 芯片 6116 具有 $2K \times 8$ 存储容量, 具有⑭条地址线、⑮条数据线, 现要用它构成 8KB 的存储器, 共需此种芯片⑯片。
- 3、微机系统中, 主机与外设之间交换信息通常采用⑰、⑱和⑲三种方式。
- 4、单片 8259A 可管理⑳级可屏蔽中断, 6 片级联最多可管理㉑级。
- 5、串行通信的工作方式有㉒, 串行通信时数据的收/发方式有㉓。
- 6、8088CPU 的中断响应需㉔个响应周期, 其中第二个响应周期时给出㉕。
- 7、8259A 开始工作前, 进行初始化编程首先应顺序写入㉖; 若某外设的中断类型码为 84H 时, 则该中断源应加到 8259A 中的中断请求寄存器 IRR 的㉗输入端。
- 8、每个 8253 芯片有㉘个独立的㉙位计数器通道, 每个计数器都需要方式控制字, 控制字格式相同, 而且写入控制字的 I/O 地址也相同, 在设置控制字时要求 A_1A_0 为㉚。
- 9、在最小组态中, 外部总线请求设备经㉛引脚向 8088 发出总线请求信号; 8088 在每个时钟周期的上升沿采样该引脚; 若发现其为有效, 则在当前总线周期结束时从㉜引脚发出响应信号; 8088 使㉝、㉞及㉟进入高阻状态, 让出总线控制权。

二、选择题（每小题 2 分，共 20 分）

下面每小题提供的 4 个答案中，只有一个是正确的。

1、在 8237 A 控制下进行“存储器读传送”时，8237 A 需先后向 I/O 接口和存储器发出的控制信号是 ①。

A、 \overline{IOR} ， \overline{MEMW}

B、 \overline{MEMW} ， \overline{IOR}

C、 \overline{MEMR} ， \overline{IOW}

D、 \overline{IOW} ， \overline{MEMW}

2、②是以 CPU 为核心，加上存储器、I/O 接口和系统总线组成的。

A、微处理器

B、微型计算机

C、微型计算机系统

D、微处理器系统

3、高速缓冲存储器（Cache）的存取速度 ③。

A、比内存慢，比外存快

B、比内存慢，比内部寄存器快

C、比内存快，比内部寄存器慢

D、比内存快，比外存慢

4、80X86CPU 用于中断请求输入的引脚信号是 ④。

A、INTR 和 NMI

B、INI 和 NMI

C、INTR 和 INTA

D、INTE 和 IRET

5、80X86 系列微处理器都有 ⑤ 三类寻址方式。

A、立即数寻址、寄存器寻址和存储器寻址

B、立即数寻址、基址寻址和变址寻址

C、立即数寻址、直接寻址和间接寻址

D、立即数寻址、基址寻址和存储器寻址

6、PC/386 以上的高档微机中，一般都有高速缓冲存储器，它是 ⑥ 的缓存。

A、CPU 与视频设备之间

B、CPU 与硬盘之间

C、CPU 与主存储器之间

D、硬盘与主存储器之间

7、某异步串行发送器，发送具有 8 位数据位的字符，在系统中使用一个奇偶校验位和二个停止位。若每秒发送 100 个字符，则其波特率为 ⑦ 位/秒。

A、1200

B、1100

C、1000

D、800

二 00 九年硕士研究生入学考试试题

- 8、⑧ 是任何 I/O 接口中必不可少的逻辑部件。
- A、数据缓冲器、控制寄存器、状态寄存器
 - B、数据缓冲器、端口地址译码器、读/写控制逻辑
 - C、数据缓冲器、端口地址译码器、中断控制逻辑
 - D、数据缓冲器、端口地址译码器、I/O 缓冲器
- 9、可编程计数/定时器 8253 的工作方式共有____，共有____个 I/O 地址。⑨
- A、3 种，4 B、4 种，5 C、6 种，3 D、6 种，4
- 10、处理器定时工作的时间单元从大到小依次为⑩。
- A、时钟周期、指令周期、总线周期
 - B、指令周期、总线周期、时钟周期
 - C、总线周期、指令周期、时钟周期
 - D、总线周期、时钟周期、指令周期

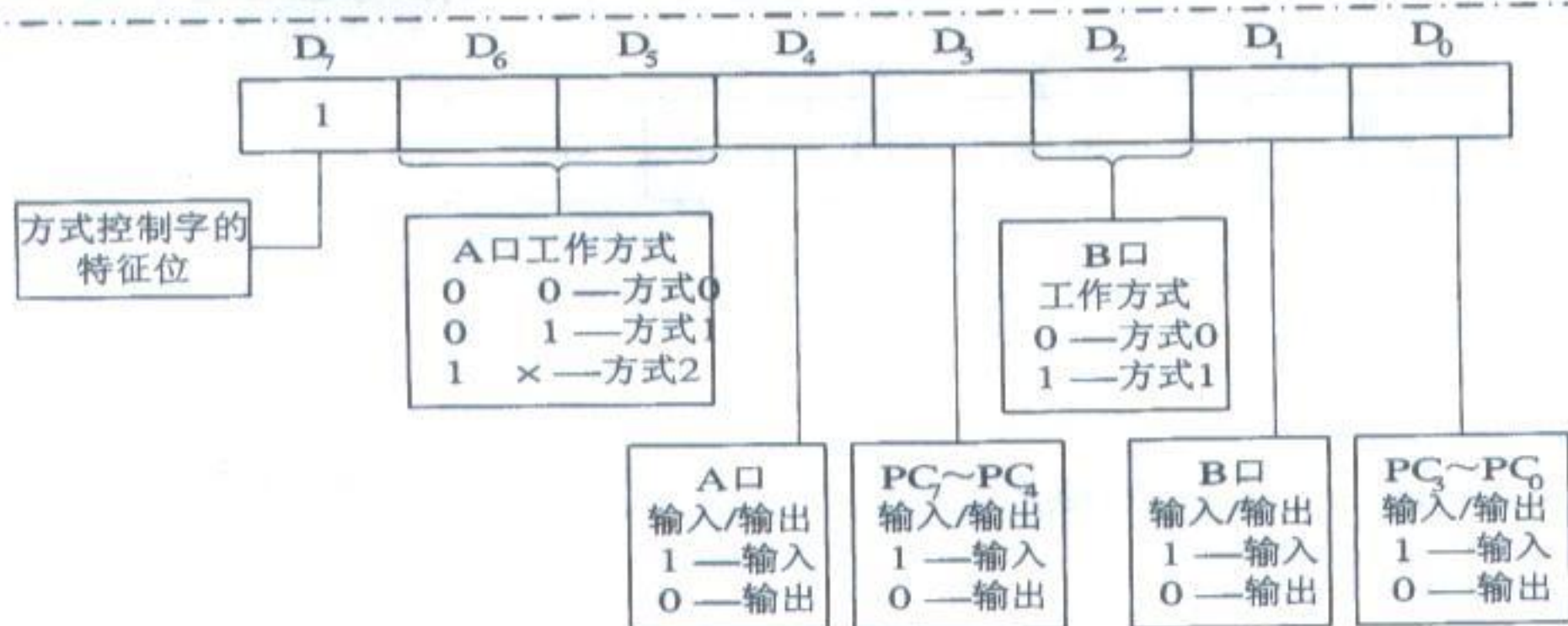
三、问答题（45 分）

- 1、向量中断与中断向量在概念上有什么区别？中断向量和中断向量地址又有什么区别？（9 分）
- 2、请写出中断程序的组成部分和每一部分完成的功能。（10 分）
- 3、请说明 I/O 接口的基本功能和基本结构。（10 分）
- 4、Cache 技术的基本思想和出发点是什么？一个 Cache 系统由哪几个主要部分组成？（10 分）
- 5、已知在指令执行前，有 $DI=0300H$, $BX=0010H$, $CF=0$, $DS=2000H$, $SS=3000H$, $BP=0100H$, $SP=0020H$, $[DS: 310H]=0AAH$, $[DS: 311H]=55H$ 。（6 分）
 - ① 执行指令 $MOV\ AX\ WORD\ PTR\ [BX+DI]$ 后，求目的操作数的值。
 - ② 执行指令 $MOV\ AL\ [BP+100H]$ 后，求源操作数物理地址。
 - ③ 执行指令 $POP\ 300H\ [DI]$ 后，求源操作数物理地址。

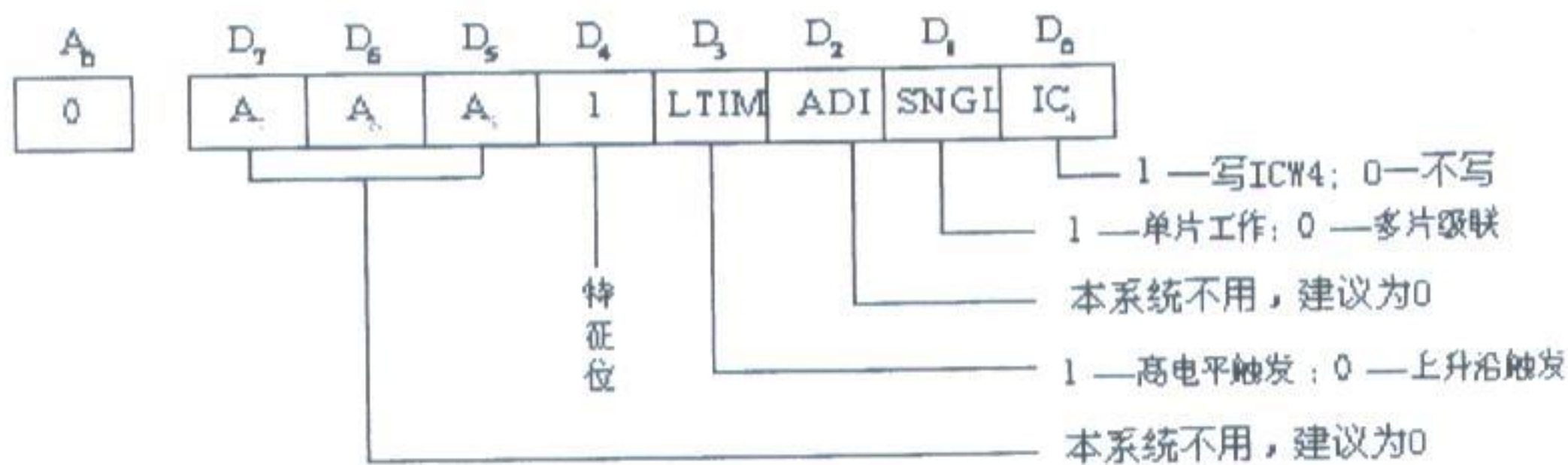
四、应用题 (50 分)

- 1、设 8255A 芯片的端口地址为 300H~303H (端口 A 地址为 300H), 要求 A 组与 B 组均工作在方式 0。其中: 端口 A 是输入口; 端口 B 是输出口, 端口 C 的高四位为输出口, 低四位为输入口, 编写初始化程序。(6 分) 附: 8255A 控制字
- 2、用 512×4 位的静态 RAM 芯片组成 $16K \times 8$ 位的存储器模块, 请问: (8 分)
 - (1) 每个芯片组需要多少块芯片?
 - (2) 需要多少个芯片组?
 - (3) 需要多少根片内地址线?
 - (4) 需要多少根芯片组选择线?
- 3、假设 8253 芯片的端口地址为 230H~233H (通道 0 地址为 230H, 控制口地址为 233H)。要求通道 0 工作在方式 3, 先低后高写入计数初值 01F0H。通道 1 工作在方式 2, 先低后高写入计数初值 0064H, 编写初始化程序。(16 分) 附: 8253 控制字
- 4、某 80X86 系统使用两片 8259A 管理中断, 从片的 INT 连接到主片的 IR_2 请求输入端。主、从 8259A 的 IR_5 上各接有一个外部中断源, 其中断向量号分别为 0DH 和 85H。假设主片工作于边沿触发、特殊完全嵌套、非自动结束和非缓冲方式, 端口地址为 80H 和 81H; 从片工作于边沿触发、完全嵌套、非自动结束和非缓冲方式, 端口地址为 20H 和 21H。要求:
 - ① 写出主、从 8259A 中断向量号范围;
 - ② 编写主、从初始化程序。(20 分) 附: 8259A 控制字

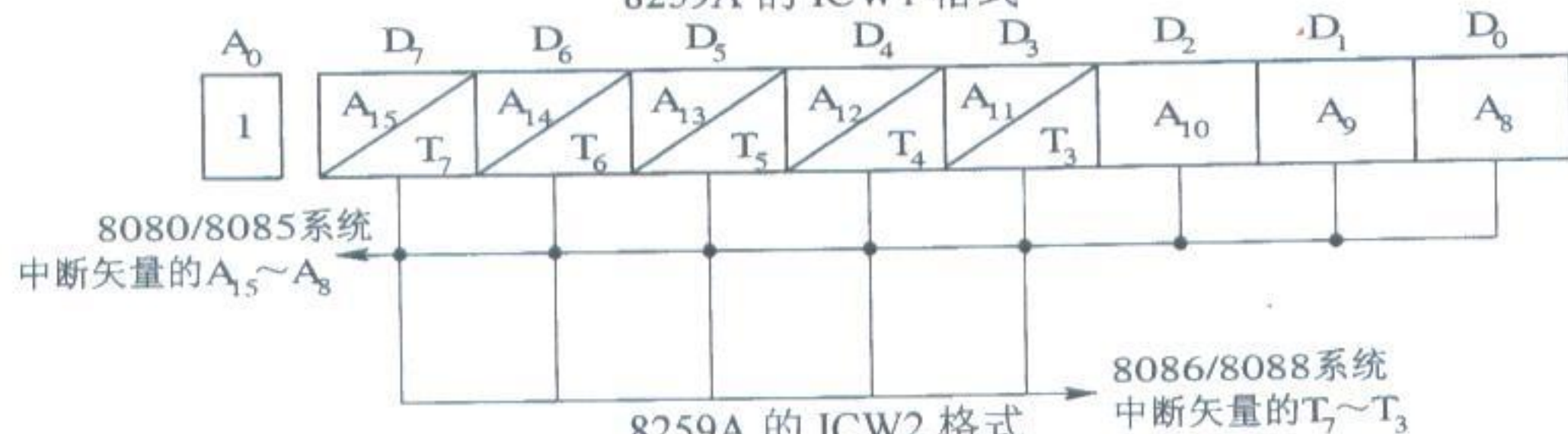
二〇〇九年硕士研究生入学考试试题



8255A 的控制字格式



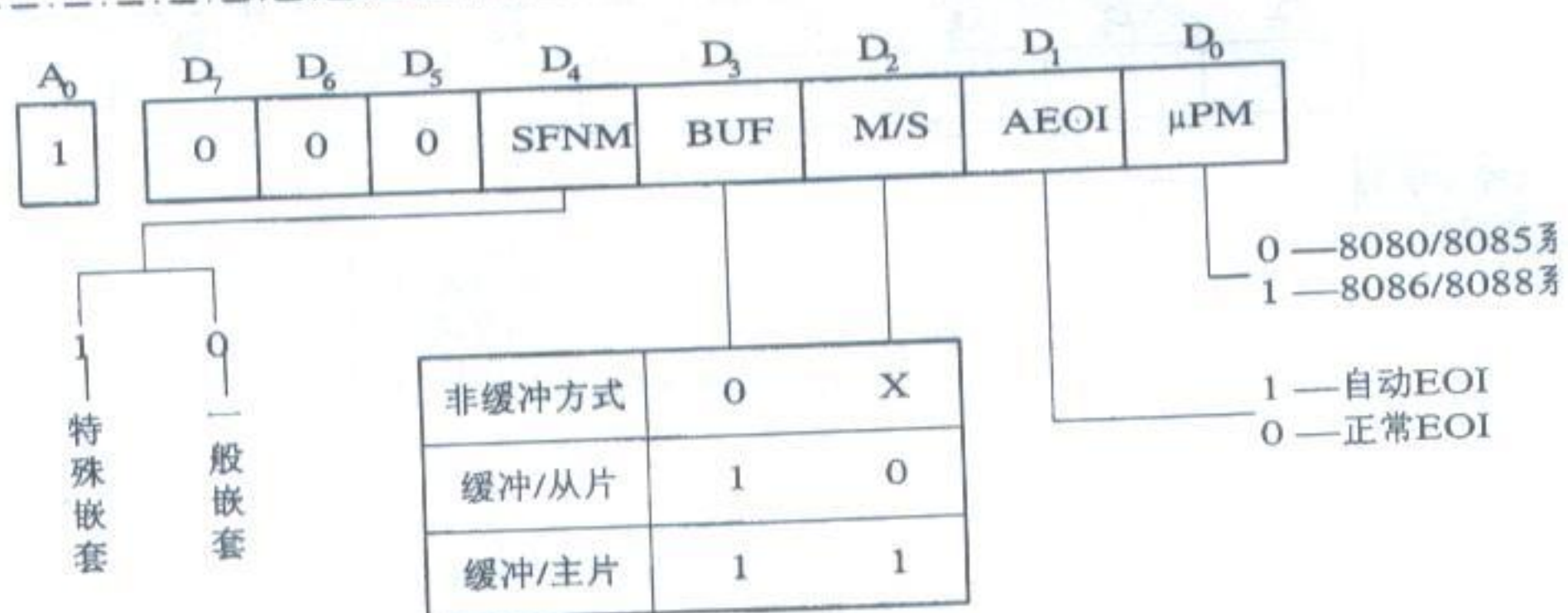
8259A 的 ICW1 格式



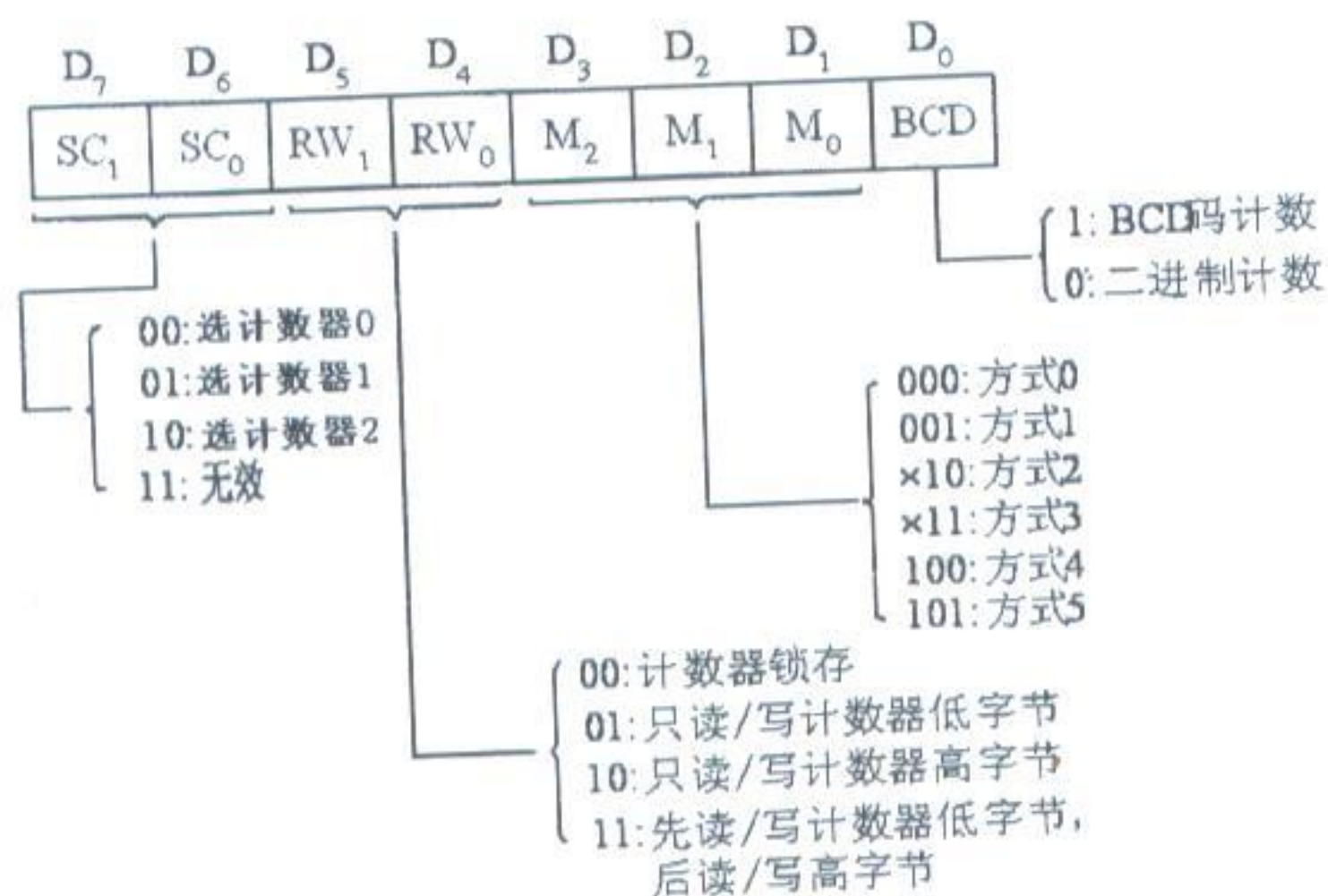
8259A 的 ICW2 格式



二 00 九年硕士研究生入学考试试题



8259A 的 ICW4 格式



8253 方式控制字格式