

# 苏州大学

## 2010 年攻读硕士学位研究生入学考试试题

专业名称: 微电子学与固体电子学

考试科目: 半导体物理或集成电路设计原理 (B) 卷

### 集成电路设计原理(150 分)

- 已知  $0.5\mu\text{m}$  工艺 N 管跨导( $K'_n = 73\mu\text{A/V}^2$ ), 阈值电压  $V_t = 0.7\text{V}$ 。
  - 假设  $V_{gs} = 3.3\text{V}$ , 当  $V_{ds} = 2\text{V}$ , N 管  $W/L = 5$ , 求 N 管漏端电流? (6 分)
  - 假设  $V_{gs} = 2.5\text{V}$ , 当  $V_{ds} = 5\text{V}$ , N 管漏端电流  $I_d = 0.95\text{mA}$ , 求 N 管  $W/L$ ? (6 分)
- 画出 CMOS 反向器的剖面图 (5 分), 并描述 Latch-up 效应的形成 (5 分), 及给出防止 Latch-up 效应的方法 (5 分)。
- 简述数字集成电路的典型设计抽象层次及设计流程(12 分)。
- 画出三输入与非门的 CMOS 电路图(4 分)和版图 (或棒图) (6 分)。
- 在时序电路设计中, MOORE 与 MEELEY 状态机的特征是什么 (5 分)? 同步复位与异步复位的区别是什么 (5 分)?
- 请写出 AOI-321 的逻辑方程, 并画出 CMOS 电路图(10 分)。
- 在时序电路中, 请问什么是建立时间 (setup time) 和保持时间 (hold time) (4 分)? 若违反建立时间或保持时间, 对电路有什么影响 (5 分)?
- 应用传输门 (transmission gate), 画出带高有效复位端的, 由时钟上升沿触发的 DFF (D flip-flop) 的逻辑电路图。并分析其工作原理。(10 分)
- 判断图 1 和图 2 中的 SA0/SA1 故障是否可测 (6 分)? 如果可测, 请写出测试向量 (6 分)。

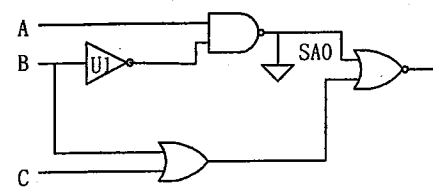


图 1

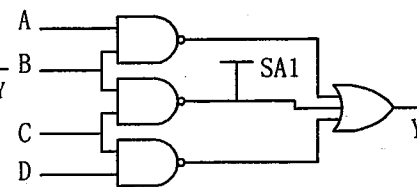


图 2

试卷编号: 836

第 (3) 页共 (4)

# 苏州大学

## 2010 年攻读硕士学位研究生入学考试试题

专业名称: 微电子学与固体电子学

考试科目: 半导体物理或集成电路设计原理 (B) 卷

- 什么是逻辑功效 (logical effort) (5 分)? 对于一个由四级三输入 NOR 门组成的逻辑链路, 第一个三输入 NOR 门是由一个最小尺寸的反向器驱动, 最后一个三输入 NOR 门输出驱动一个反向器, 它的尺寸是最小尺寸反向器的 16 倍。试用逻辑功效方法分析各级三输入 NOR 门的最优输入-输出电容比率 (10 分)。  
(三输入 NOR 门的逻辑功效为 7/3。)
- 假设某有限状态机(FSM)的输入为连续的 1010 序列时, 其输出为 1, 其余情况为 0。
  - 请画出该 FSM 的状态转换图 (10 分)。
  - 当输入为 1110100 序列时, 指出该 FSM 在各个输入下的当前状态、下一个状态和输出 (10 分)。
- 对于一个时钟信号来说, 什么是占空比 (duty cycle)? 设计一个 8.5 分频的半整数分频器。(15 分)  
提示: 不要求占空比, 分频后的时钟可以有抖动。  
(可以用硬件描述语言, 或逻辑电路图, 或者把电路设计思想描述清楚就行。)

试卷编号: 836

第 (4) 页共 (4)