

## 1999 年复旦大学计算机组织与结构试题

考研加油站收集整理 <http://www.kaoyan.com>

1999 年复旦大学计算机组织与结构试题

1. 已知：十进制数  $x = -96$ ，求  $r=2$  时，下列代码表示形式：(12分)

$P_8(x) = \underline{\hspace{2cm}}$   $C_8(x) = \underline{\hspace{2cm}}$   $A_8(x) = \underline{\hspace{2cm}}$   
 $C_{10}(-x) = \underline{\hspace{2cm}}$   $P_{10}(2x) = \underline{\hspace{2cm}}$   $A_{10}(x/4) = \underline{\hspace{2cm}}$

若该数用规格化浮点数表示，设浮点数用字长为16位二进制位，其中字长的高5位表示阶码（ $r=2$ 的增码表示），低11位表示尾数（用 $r=2$ 的反码表示），它的代码形式为                     。

如果有16位字长的代码，其中高7位为全1，其余低9位为全0，分别表示浮点数的十进制值为                      和尾数整数（ $r=2$ 的补码表示）的十进制值为                     。

2. 写出  $r=2$  实现尾数加减运算的符号量值补法的流程（已知  $[X]_R = P_n(x) = x_{n-1}x_{n-2}\dots x_0$ ， $[Y]_R = P_n(y) = y_{n-1}y_{n-2}\dots y_0$ ，求  $P_n(x+y)$  和  $P_n(x-y)$ ）。(10分)

3. 已知有一个  $n$  位二进制加法器，最低位的进位  $C_0=0$ ， $Q_n$  为全加器产生的最高进位， $\sigma_{n-1}\dots\sigma_0$  是全加器之和。(10分)

(1) 如果进入全加器的输入信息为二进制的补码，分别记为  $C_n(x) = [x]_{\text{补}} = x_{n-1}\dots x_0$ ， $C_n(y) = [y]_{\text{补}} = y_{n-1}\dots y_0$ ，根据  $C_n(x)$ ， $C_n(y)$ ， $Q_n$ ， $\sigma_{n-1}\dots\sigma_0$ ，写出  $C_n(x+y)$  溢出  $V$  的逻辑表达式。

(2) 如果进入全加器输入信息为  $n$  进制的增数, 分别记为  $A_n(x) = [x]_{\text{增}} = x_{n-1} \cdots x_0$ ,  $A_n(y) = [y]_{\text{增}} = y_{n-1} \cdots y_0$ , 求:

a) 求出  $A_{n+1}(x+y)$  的实现公式。

b) 求出  $A_n(x+y)$  溢出  $V'$  的逻辑表达式。

c) 当  $V' = 0$  时, 根据  $0_n, 0_{n-1} \cdots 0_0$  如何得到  $A_n(x+y)$ 。

d) 不论  $V'$  溢出如何, 根据  $0_n, 0_{n-1} \cdots 0_0$  如何得到  $x+y$  的真值。

4. 简述控制器的功能。若已给出了一个控制器数据通路, 分别给出用组合逻辑和微程序设计方法实现计算机控制器(产生微操作控制信号)的主要步骤。(12分)

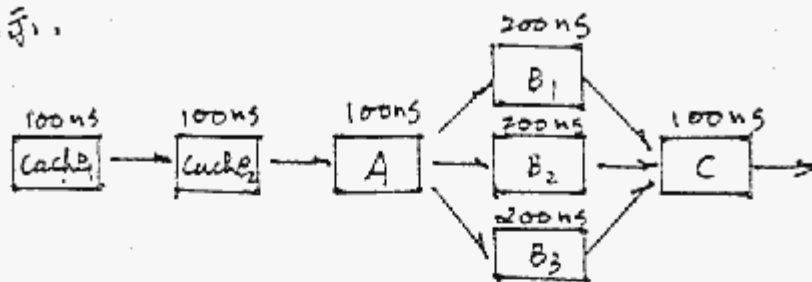
5. 说明中断屏蔽位功能及某级中断服务程序处理时, 该级中断屏蔽位一定为1。(6分)

6. 一个主振时钟为 50 MHz 的 RISC 计算机, 各类指令的系统的 CPI 如下: 寄存器-寄存器型指令 1 个时钟周期, 取/存指令 1.4 个时钟周期, 条件转移指令为转移发生不发生时分别为 2 个和 1.5 个时钟周期, 无条件转移指令为 1.2 个时钟周期。现执行某个测试程序中 R 型指令 46%, 取/存指令 37%, 条件转移指令 16%, 无条件转移指令 1%。假定条件转移指令中 60% 为转移发生。试计算。(10分)

(1) 执行该测试程序的 CPI。

(2) 根据所得到的 CPI, 计算相应的 MIPS 速率。

7. 设有一指令流水线, 由 A、B、C 三段组成, 为下各所示。



现 Cache 连续提供 4 条指令流入流水线, 画出此时包括 Cache 在内的处理过程的时空图并求其实际吞吐量和效率。(10分)

8. 在现代计算机中广泛采用高速缓冲存储器 Cache 来改善系统的性能, 对此

(1) 简述 Cache 的工作原理, 并举出两个不同场合使用 Cache 的例子。

(2) 假定机器的时钟周期为 10ns, Cache 失效时访问时间为 20 个时钟周期, 若失效率为 0.05, 机器的平均访问时间为多少? 若 Cache 命中的访问时间增加到 1.2 时钟周期, 失效率降低为 0.03, 这样的改动设计是否合适。

(3) 写出二级和三级 Cache 平均访问时间公式。

(10分)

9. 什么是延迟转移, 假定延迟槽为一条指令, 采用在延迟转移槽中填入有效指令优化延迟转移有哪些方法? (10分)

10. 为了提高计算机系统性能, 在利用流水技术开发新一代的微处理器中, 目前有哪些新方法。这为需要解决的数据相关问题将变得更复杂, 主要有哪类相关? 何种情况下会发生这些相关? 有哪些解决办法? (10分)