

太原理工大学 2006 年攻读硕士研究生入学考试试题

考试科目: 脉冲与数字电路

科目代码: 429

考生注意: 请标明题号将答案做在答卷纸上, 做在试题上不记分

一、填空题 (40 分)

1. 二进制数 $(11101101.1)_2$, 其对应的余 3 码为 (1)。
2. 某代码 (100011000011) 对应的十进制为 $(593)_{10}$, 该代码为 (2)。
3. 已知 $F_{(A,B,C)} = \bar{B}$, 则 $F_{(A,B,C)} = \prod M$ ((3)), $F'_{(A,B,C)} = \sum m$ ((4))。
4. 逻辑函数 $F_{(A,B,C,D)} = A \oplus B \oplus C \oplus D$, 其 \bar{F} 的最小项表达式为 (5)。
5. 逻辑函数 $F_{(A,B,C,D)} = \bar{A}\bar{B}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}BD$, 约束条件为 $AB + AC = 0$, 其最简与或非式为 (6)。
6. 用触发器设计一个模值为 36 的计数器, 所需要的触发器数目是 (7)。
7. 某 RAM 芯片, 地址为 $A_0 \sim A_{10}$, 输出为 $Y_0 \sim Y_7$, 该 RAM 的存储容量为 (8), 用它构成 $256K \times 16$ 位的存储器, 需要 (9) 片。
8. 若 4 位二进制加法计数器正常工作时, 由 0000 状态开始计数, 则经过 42 个输入计数脉冲后, 计数器的状态应是 00。
9. 在计数器, 环形计数器, 扭环形计数器, 移位寄存器, 序列信号检测器五种器件中, 可以用来实现并/串转换和串/并转换的器件是 00, 能够比较方便构成顺序脉冲信号发生器的器件是 00。
10. TTL 逻辑门电路 G_1, G_2, G_3, G_4 组成如图 1 所示电路, 它们的输入短路电流 I_{is} 为 $1.5mA$, 每个输入端的反向漏电流 I_{in} 为 $0.05mA$, 灌电流负载小于 $10mA$, 拉电流负载小于 $2mA$ 。当 $A=1$ 时, 经过 G_1 输出端的电流大小是 09 mA, 当 $A=0$ 时, 经过 G_1 输出端的电流大小是 00 mA, 对于 G_1 , 其输出端最多能带同类两输入与非门的个数为 09。
11. 已知 TTL 门电路的开门电阻为 $2K\Omega$, 关门电阻为 800Ω , $V_{OH}=3.6V$, $V_{OL}=0.3V$ 。CMOS 逻辑门 $V_{OH}=5V$, $V_{OL}=0V$ 。若图 2 所示逻辑电路为 TTL 门, 则输出电压 $F=$ 00 V, 若图 2 为 CMOS 逻辑门, 则输出电压 $F=$ 07 V。
12. 如图 3 所示电路的逻辑功能为 00。
13. 二一五十一进制异步计数器 74LS290 构成如图 4 所示电路, 其状态转移表为 09, 计数模值 $M=$ 00。

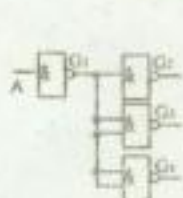


图 1

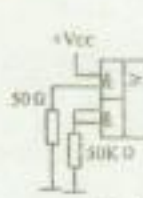


图 2

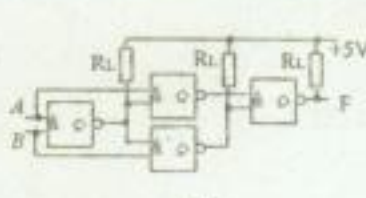


图 3

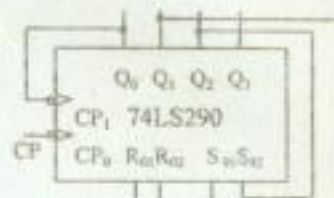


图 4

二、(12 分) 试用一片 3—8 译码器 74LS138 和一个与门设计实现函数 $F_{(A,B,C,D)} = \sum m(2,4,6,8,14)$, 并画出电路。

三、(12 分) 设计一个加/减运算电路, 当控制信号 $M=0$ 时, 它将两个输入的 4 位二进制数相加, $M=1$ 时, 它将两个输入的 4 位二进制数相减, 请选用适当的中规模集成电路实现, 可以附加必要的门电路, 但电路应尽量简单。

四、(16 分) 设计一个 8421BCD 码十进制计数器的监视电路, 当其中计数值能被 3 整除时(计数值 0, 不算在被 3 整除的要求中), 该监视电路输出 1, 否则输出 0。要求:

1. 在只有原变量输入条件下, 用最少的与非门实现该监视功能, 画出逻辑电路图。
2. 仅用一片 8 选 1 数据选择器实现上述监视功能, 画出逻辑图。

五、(15 分) 由 555 定时器构成的单稳电路如图 5 (a) 所示, 电路参数如图中所注, 其输入触发信号如图 5 (b) 所示。

1. 确定图 5 (b) 中, 上、下两个输入信号哪个适合作该单稳电路的输入触发信号, 画出与其对应的 V_c 和 V_o 的波形图。
2. 确定该电路的稳态时间及 V_c 的最大值。
3. 若输入信号低电平宽度为 8ms, 为使电路正常工作在单稳态时状态, 电路应作如何修改?

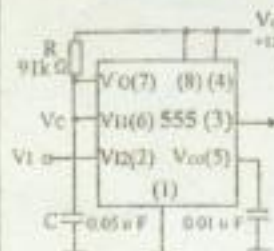


图 5 (a)

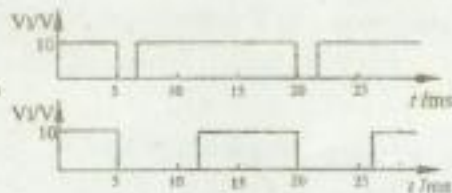


图 5 (b)

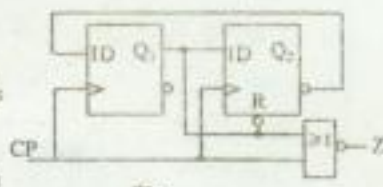


图 6

六、(15 分) 边沿 D 触发器和或非门组成图 6 所示脉冲分频电路, CP 频率为 6KHz, 试画出在 CP 时钟脉冲 7 个周期的作用下, Q_1 , Q_2 和 Z 端的输出波形, 并说明该电路是几分频电路, 求出 Z 的频率。设 Q_1 , Q_2 的初态均为 0。

七、(20 分) 用两片十进制同步计数器 74LS160 和尽可能少的逻辑门设计一个可控模值计数器, 当控制信号 $M=1$ 时, 计数模值为 48, 当 $M=0$ 时, 计数模值为 60, 请标明计数输入端和进位输出端。

八、(20 分) 用 D 触发器和 PLA 阵列设计一个“1010”序列检测电路, 串行输入信号 X 与输出 Z 之间的关系为:

输入 X: 0101101010001011

输出 Z: 0000000101000000

附注: 集成芯片符号及功能表

1. 计数器 74LS161 (74LS160) 功能表:

(状态从低到高为 $Q_3Q_2Q_1Q_0$, $CO = TQ_3Q_2Q_1Q_0$)

P	T	\overline{LD}	\overline{EN}	功能
1	1	1	1	二进制加法计数
x	x	0	1	同步预置
0	x	1	1	保持
x	0	1	1	保持
x	x	x	0	异步清零

2. 二一五—十进制异步计数器 74LS290 功能表:

S_0S_{M1}	R_0R_{M1}	CP_0CP_1	功能
1	0	x x	置位 9
0	1	x x	复位 0
0	0	↓ x	Q ₀ 二进制加法计数
		x ↓	Q ₀ Q ₁ Q ₂ 五进制加法计数

3. 8 选 1 数据选择器 74LS151、3 线—8 线译码器 74LS138 符号:

