

北京科技大学

2010 年硕士学位研究生入学考试试题

试题编号: 868 试题名称: 信号系统与数字电路 (共 3 页)

适用专业: 电子与通信工程

说明: 所有答案必须写在答题纸上, 做在试题或草稿纸上无效。

信号系统部分 (共 75 分)

1. (本题 10 分) 已知信号 $f(t)$ 的波形如下图 1.1 所示, 试画出下列各信号的波形。

- (1) $f(3t)$
(2) $f(t-3)u(t-3)$

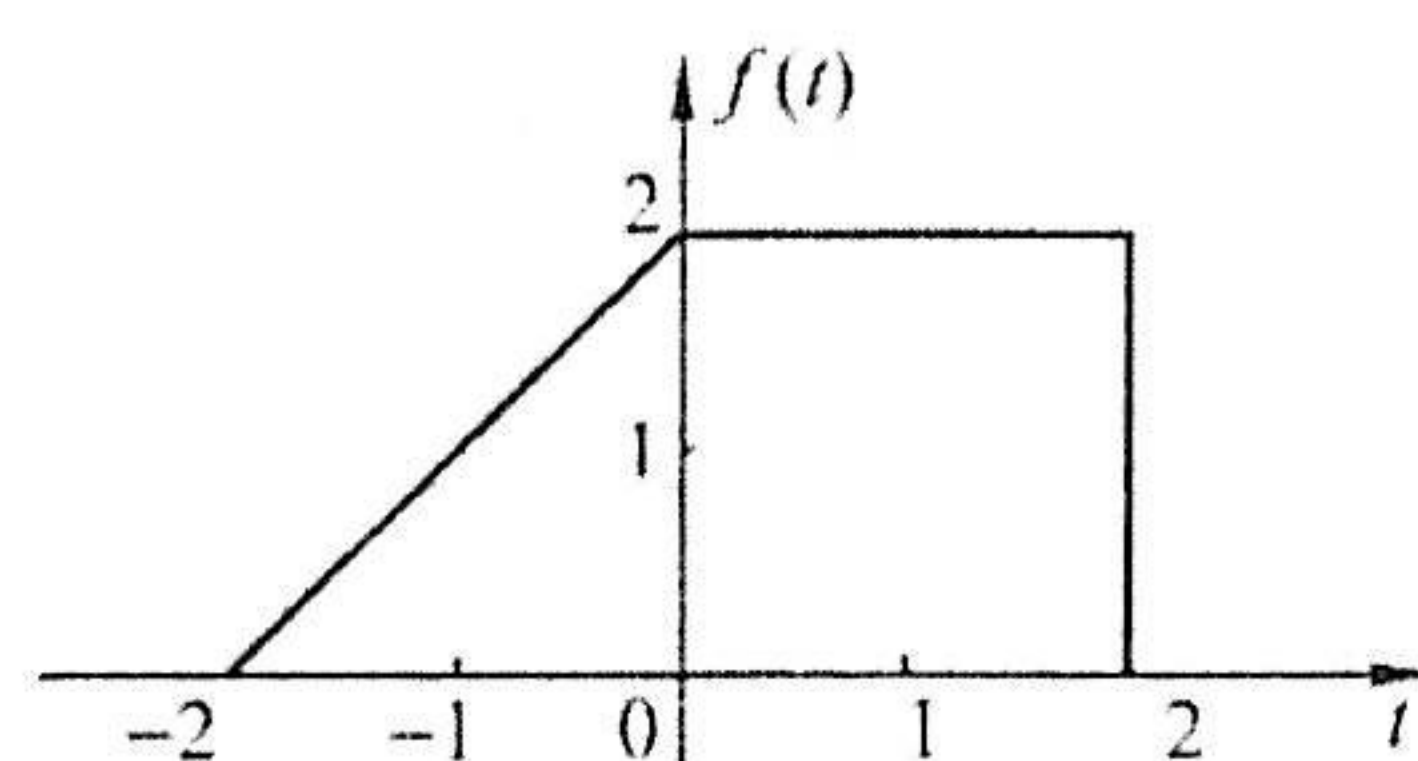


图 1.1 题 1 中的函数图像

2. (本题 10 分) 判断下列系统是否为线性、时不变、因果、稳定系统。

- (1) $\frac{d}{dt}r(t) + r(t) = \frac{d}{dt}e(t) + 5e(t)$
(2) $r(t) = 3e(2t)$

3. (本题 10 分) 已知 $a^{[n]} \xleftrightarrow{FT} \frac{1-a^2}{1-2a\cos\omega+a^2}$, $|a| < 1$, 利用对偶性求下面周期 $T=1$ 的连续时间信号的傅立叶

级数系数: $x(t) = \frac{1}{5-4\cos(2\pi t)}$

4. (本题 10 分) 系统 S1 和 S2 是级联在一起的, 如下图 1.2 所示。系统 S1 是因果、线性时不变的, 输入输出关系为: $w[n] = \frac{1}{2}w[n-1] + x[n]$; 系统 S2 也是因果、线性时不变的, 输入输出关系为 $y[n] = \alpha \cdot y[n-1] + \beta \cdot w[n]$, 系统 S1 和 S2 级联后的输入输出关系为:

$$y[n] = -\frac{1}{8}y[n-2] + \frac{3}{4}y[n-1] + x[n],$$

请求出 α 和 β 的值。

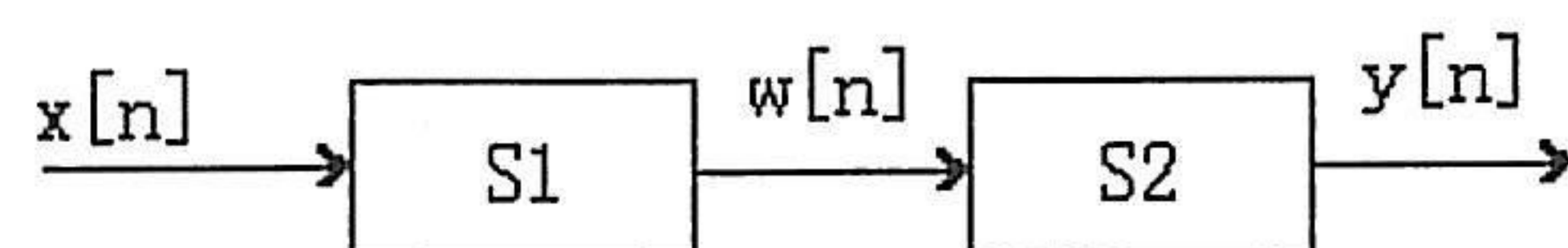


图 1.2 题 4 中级联的系统

5. (本题 10 分) 对于给定的信号 $x[n]$, 已知下面条件:

- (1) $x[n]$ 是实、偶信号;
(2) $x[n]$ 具有周期 $N=10$, 它的傅里叶级数为 a_k ;
(3) $a_{11} = 5$;
(4) $\frac{1}{10} \sum_{n=0}^9 |x[n]|^2 = 50$;

请证明: $x[n] = A \cos(Bn + C)$, 并请求出 A , B , C 的值。

6. (本题 10 分) 已知系统微分方程为 $\frac{d^2}{dt^2}r(t) + 6\frac{d}{dt}r(t) + 9r(t) = e(t)$, 请计算该系统的

- (1) 单位脉冲响应
(2) 阶跃响应。

7. (本题 15 分) 请计算下面两个信号 $f_1(t)$ 和 $f_2(t)$ 的卷积 $f(t) = f_1(t) * f_2(t)$, 并画出卷积结果。图 1.3 中 B 的值是小于 A 的。

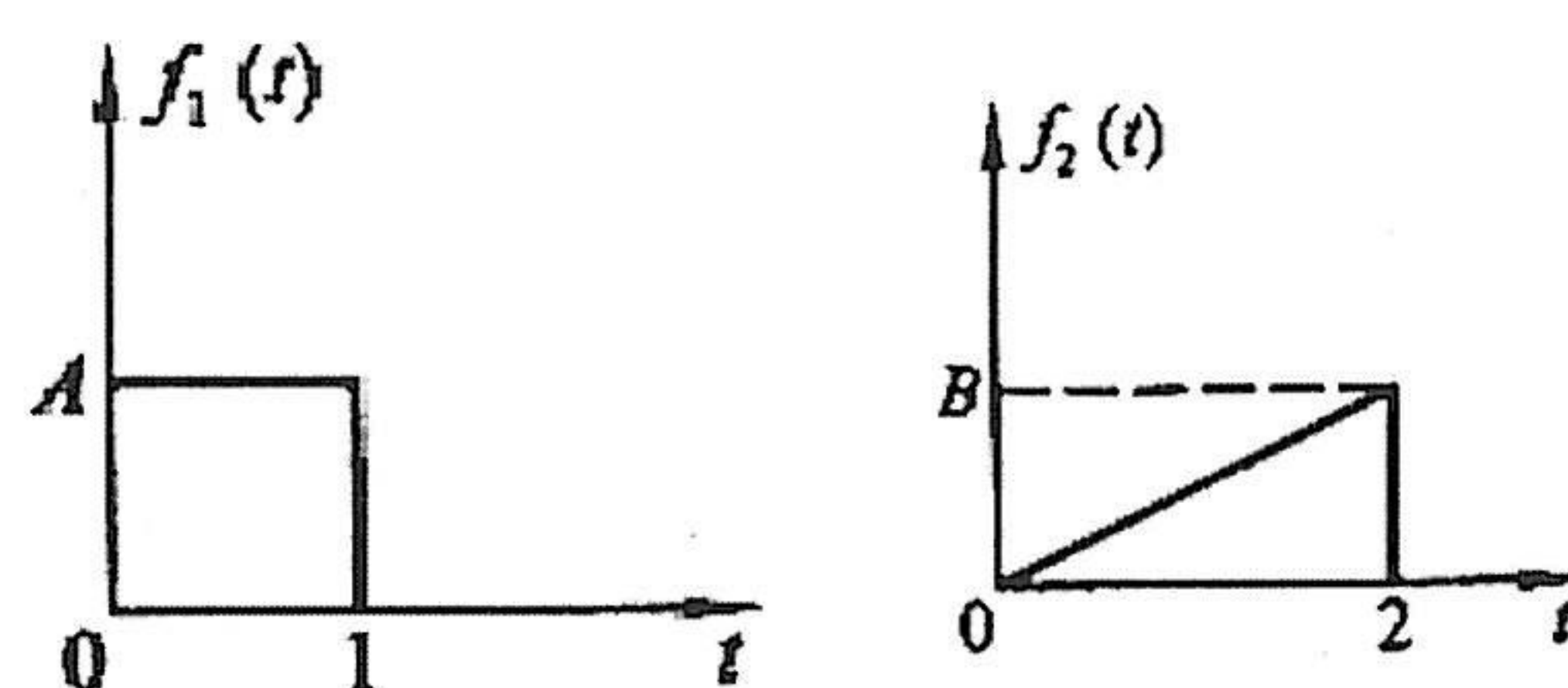


图 1.3 题 7 中参与卷积的两信号

数字电路部分 (共 75 分)

1. (本题 6 分) 填空

$(537)_{10} = (\quad)_{8421BCD} = (\quad)_{5421BCD} = (\quad)_{\text{余3BCD}}$

2. (本题 8 分) 用代数法化简下列逻辑函数为最简与或式。

$$F = (A \oplus B)C + ABC + \bar{A} \cdot \bar{B}$$

3. (本题 10 分) 电路如图 2.1 所示, 请写出输出 F 的最简与或表达式, 并说明该电路实现的功能。

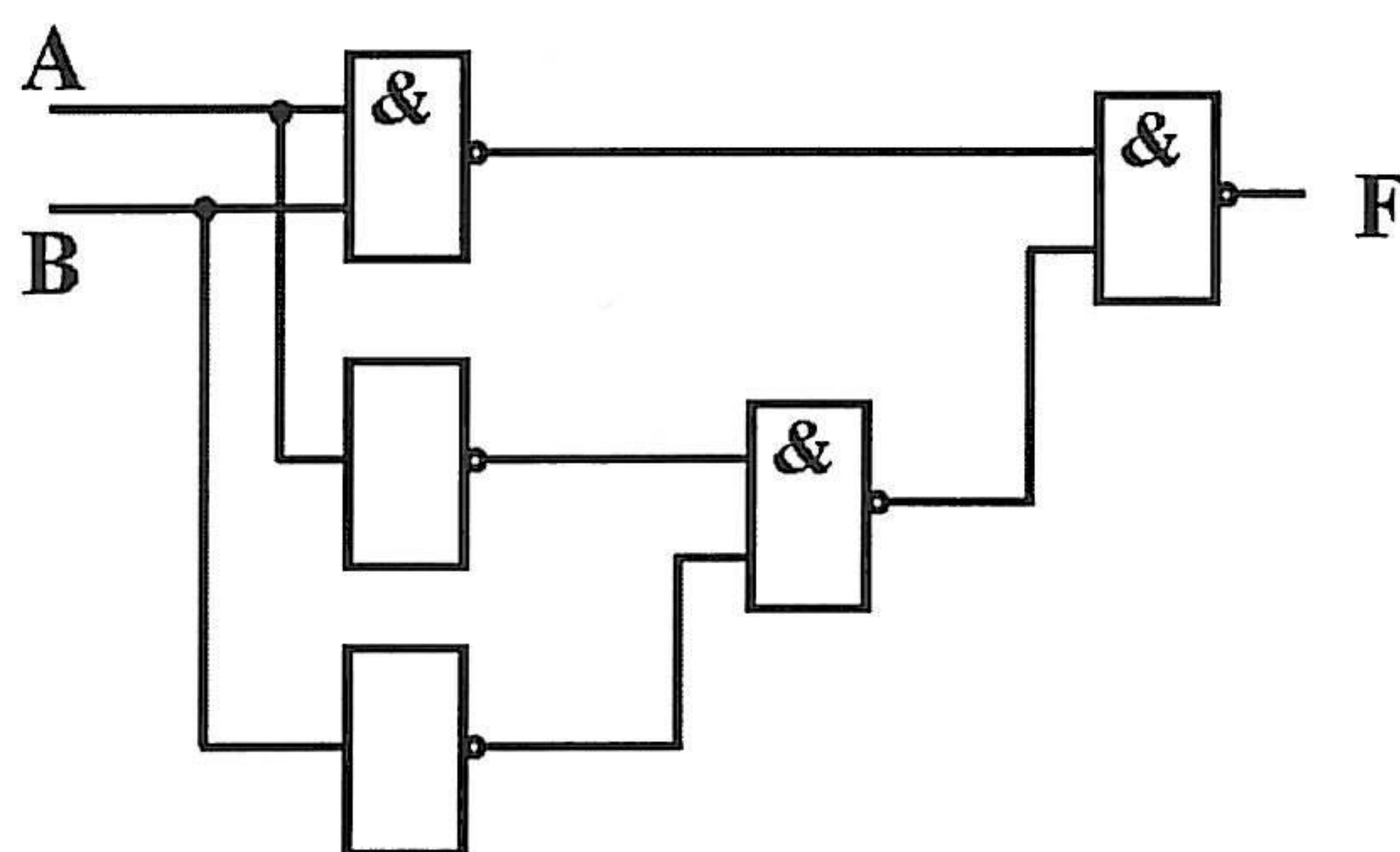
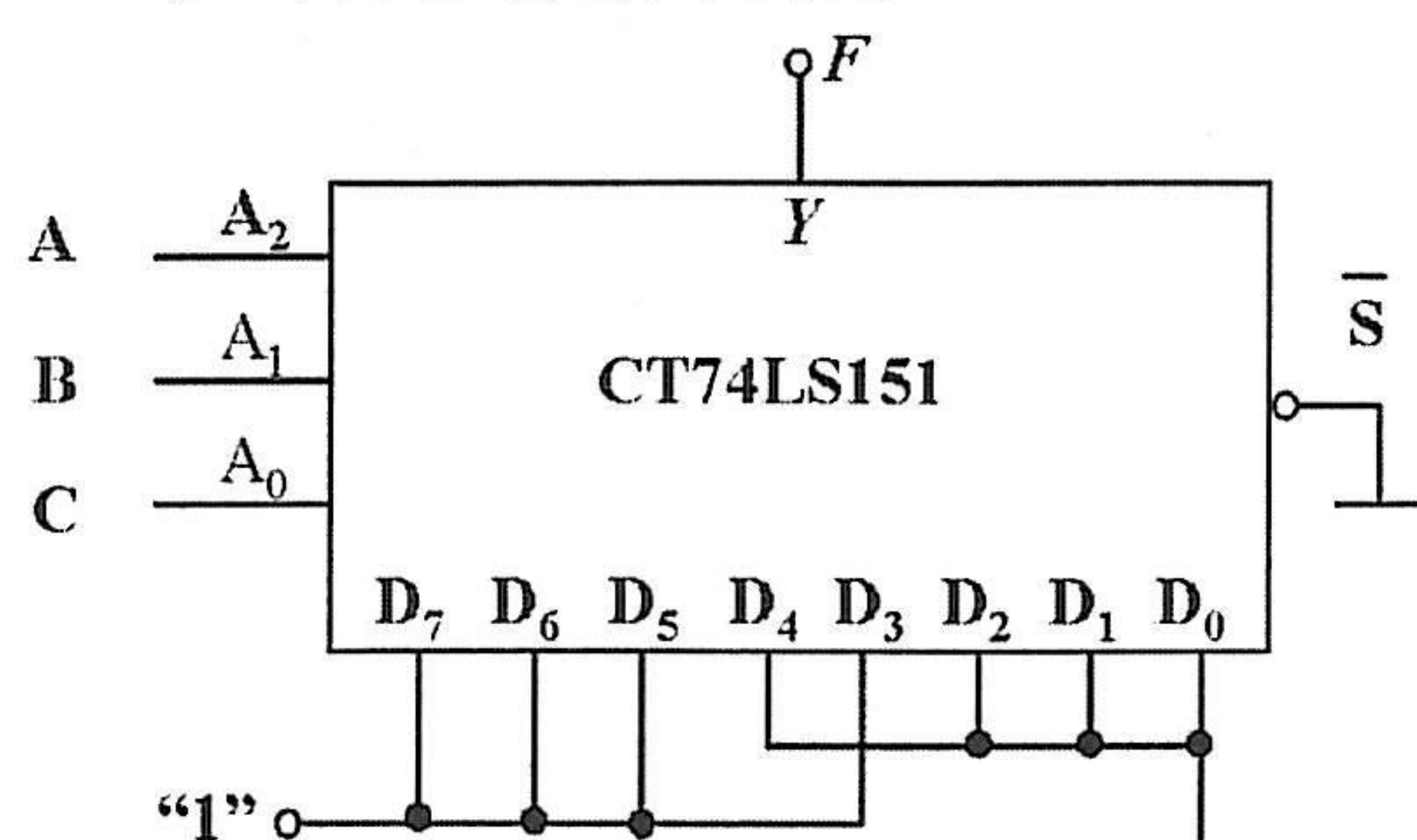


图 2.1 题 3 图

4. (本题 18 分) 在图 2.2 所示电路中, 74LS151 为八选一数据选择器, 按要求完成下列各小题。

- (1) 写出电路输出端 F 的表达式, 并化简为最简与或式;
(2) 列出 F 的真值表;
(3) 说出该电路完成的功能。



74LS151 功能表

输入				输出	
A ₂	A ₁	A ₀	\bar{E}	Y	\bar{Y}
ϕ	ϕ	ϕ	1	0	1
000...111			0	D ₀ ...D ₇	$\bar{D}_0 \sim \bar{D}_7$

图 2.2 题 4 图

5、(本题 20 分) 用下降沿触发的 JK 触发器设计异步三位二进制减法计数器, 并按要求依次完成下列各小题:

- (1) 列出三位二进制减法计数器的真值表 (其中 Q_2 为高位, Q_0 为低位);
- (2) 画出在 CP 作用下 Q_2 、 Q_1 、 Q_0 的波形图;
- (3) 画出完整的电路图。

CP	Q_2	Q_1	Q_0
0	0	0	0
1			
2			
3			
4			
5			
6			
7			
8			

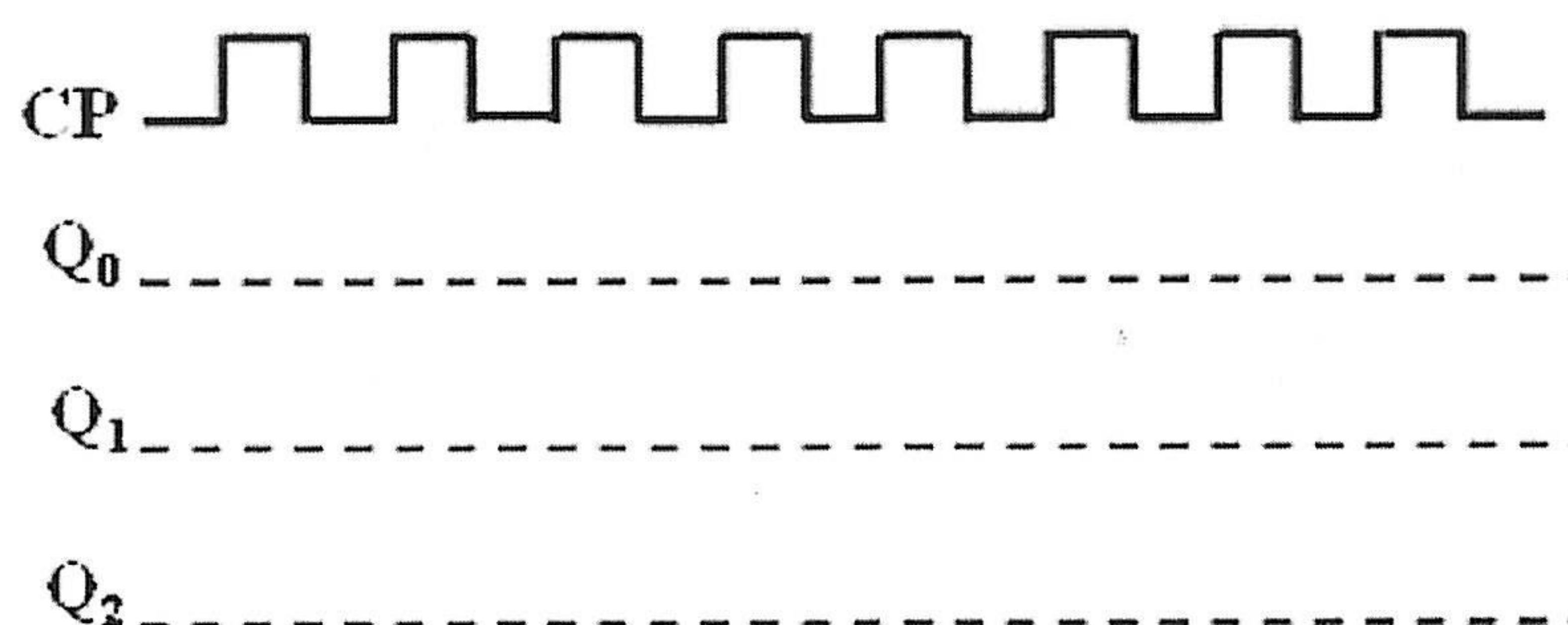


图 2.3 题 5 图

6、(本题 13 分) 试用四位同步二进制计数器 74LS163 和若干门电路设计一个八进制加法计数器, 74LS163 及其功能表如图 2.4 所示, 其中 A 为最低位, D 为最高位。

- 要求: (1) 画出该八进制加法计数器的状态转换图;
- (2) 写出清零状态;
- (3) 画出完整的电路图 (必须画在答题纸上)。

74LS163 功能表

P	T	$\overline{\text{LOAD}}$	$\overline{\text{CLR}}$	CP	功 能
1	1	1	1	\uparrow	计 数
X	X	0	1	\uparrow	并行输入
0	1	1	1	X	保持
1	0	1	1	X	保持 (RC=0)
X	X	X	0	\uparrow	清 零

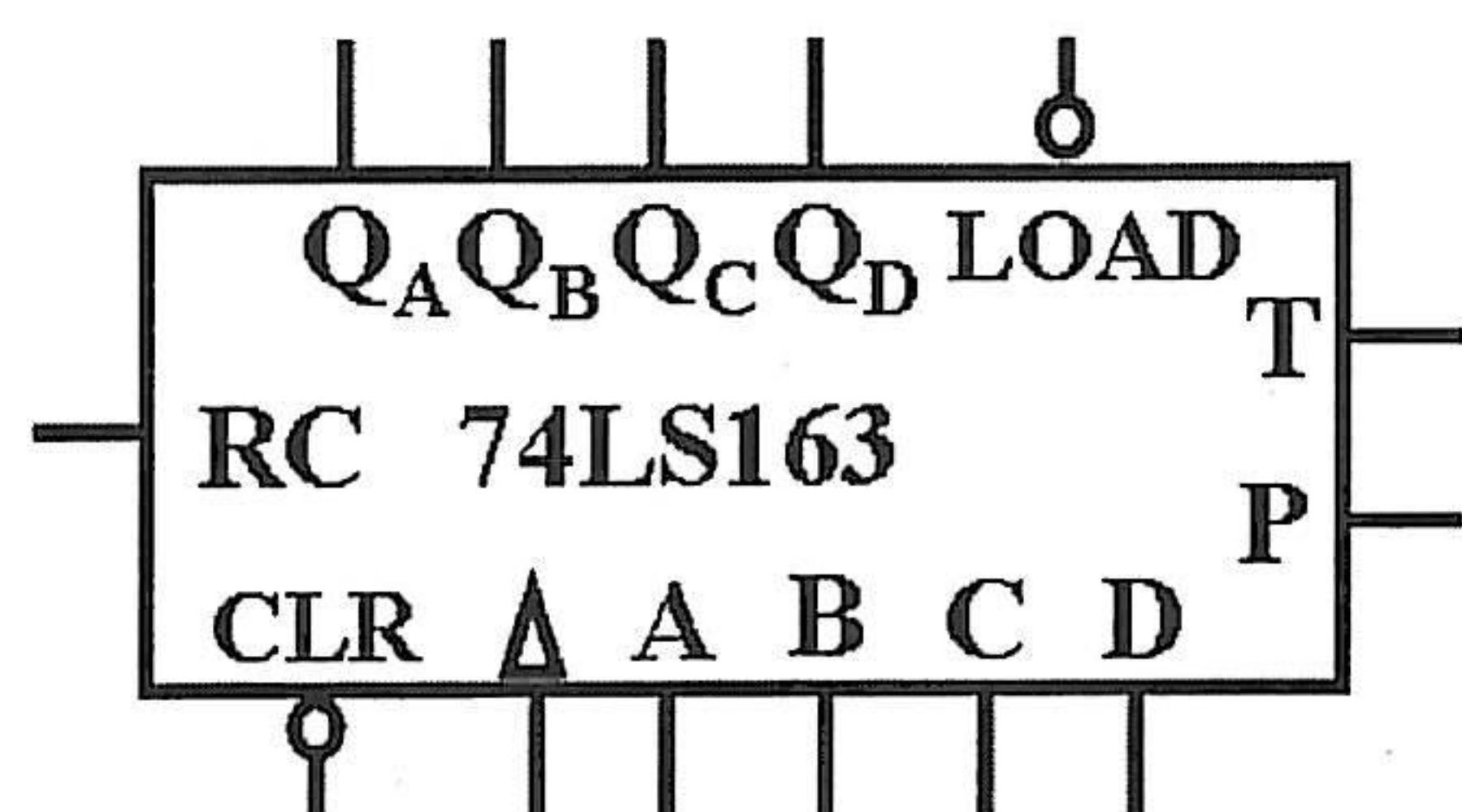


图 2.4 题 6 图