

北 京 科 技 大 学

2011 年硕士学位研究生入学考试试题

试题编号: 843 试题名称: 信号系统与数字电路 (共 5 页)

适用专业: 电子科学与技术

说明: 所有答案必须写在答题纸上, 做在试题或草稿纸上无效。

信号系统部分

1. **(本题 9 分)** 对于某个连续系统的输入输出关系为 $y(t) = T\{x(t)\} = (t+1)x(t)$, $x(t)$ 为输入信号, $y(t)$ 为输出信号。请判断该系统是否为 (1) 线性系统, (2) 时不变系统, (3) 因果系统, (4) 稳定系统, 并说明理由。
2. **(本题 9 分)** 已知信号 $x(t)$ 和 $y(t)$ 的波形分别如图 1.1 所示, 且有 $x(t) * h(t) = y(t)$, 请画出信号 $h(t)$ 的波形图。

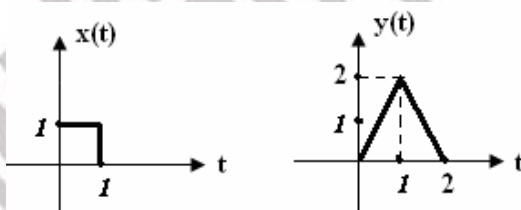


图 1.1 第 2 题信号 $x(t)$ 和 $y(t)$ 的波形

3. **(本题 9 分)** 设信号为 $x(t) = \frac{1}{a^2 + t^2}$, 求该信号的傅里叶变换 $X(j\omega)$ 。
4. **(本题 9 分)** 求如图 1.2 所示两个离散信号 $x[n]$ 和 $h[n]$ 的卷积 $y[n] = x[n] * h[n]$, 并画出 $y[n]$ 的波形。

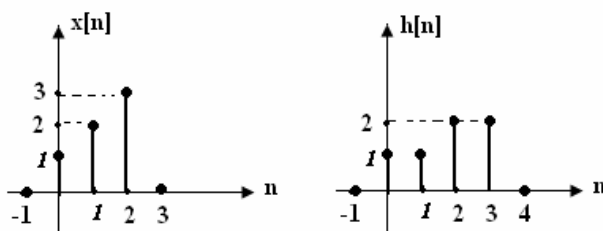


图 1.2 第 4 题信号 $x[n]$ 和 $h[n]$ 的波形

5. **(本题 9 分)** 求两信号的卷积结果 $\frac{\sin(2\pi t)}{2\pi} * \frac{\sin(8\pi t)}{8\pi}$
6. **(本题 10 分)** 已知某信号的频谱为 $F(j\omega) = \frac{j\omega + 3}{-\omega^2 + 3(j\omega) + 2} + 2\pi\delta(\omega)$, 求该信号 $f(t)$ 。
7. **(本题 10 分)** 某线性时不变系统的框图如图 1.3 所示, 其各子系统也为线性时不变系统, 子系统的单位脉冲响应分别为 $h_1(t) = u(t-2) - u(t-6)$, $h_2(t) = \delta(t-2)$, $h_3(t) = \delta(t-8)$, 若系统的输入为 $x(t) = u(t) - u(t-4)$, 求该系统在初始松弛条件下的输出 $y(t)$, 并画出输出信号的图像。

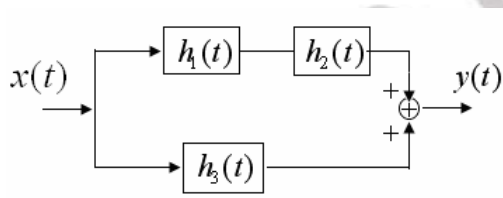


图 1.3 第 7 题的系统框图

8. **(本题 10 分)** 在初始松弛条件下, 图 1.4 所示的系统在输入 $x(t) = u(t)$ 时, 求系统的输出 $y(t)$ 。

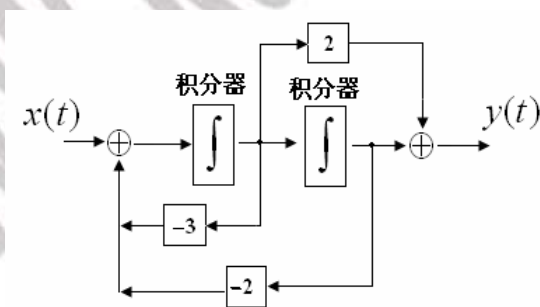


图 1.4 第 8 题的系统框图

数字电路部分

一、（共 10 分）填空题

1、 $(1011001.101)_2 = (\underline{\hspace{2cm}})_{16} = (\underline{\hspace{2cm}})_{10}$ 。

2、 $(0011\ 1001\ 1000)_{5421BCD} = (\underline{\hspace{2cm}})_{10}$ 。

3、已知 $F = \overline{AB} + \overline{CD} + AC$ ，则它的反函数式 $\overline{F} = \underline{\hspace{2cm}}$ 。

4、用异或门实现 A、B、C 三位代码的偶校验时，若代码错误时输出 F=1，反之 F=0，则偶校验电路的输出表达式 F= $\underline{\hspace{2cm}}$ 。

二、（共 10 分）将下列逻辑函数化为最简与或式。

1、 $F_1 = \overline{AC} + \overline{ABC} + \overline{BC} + \overline{ABC}$ ；

2、 $F_2 = \overline{ABCD} + \overline{ABC} + \overline{ABCD} + \overline{BCD}$ ，且 $\overline{B} \cdot \overline{C} + \overline{B} \cdot \overline{D} = 0$

三、（共 10 分）分析图 2.1 (a)、(b) 所示电路的逻辑关系，写出相应的逻辑表达式。

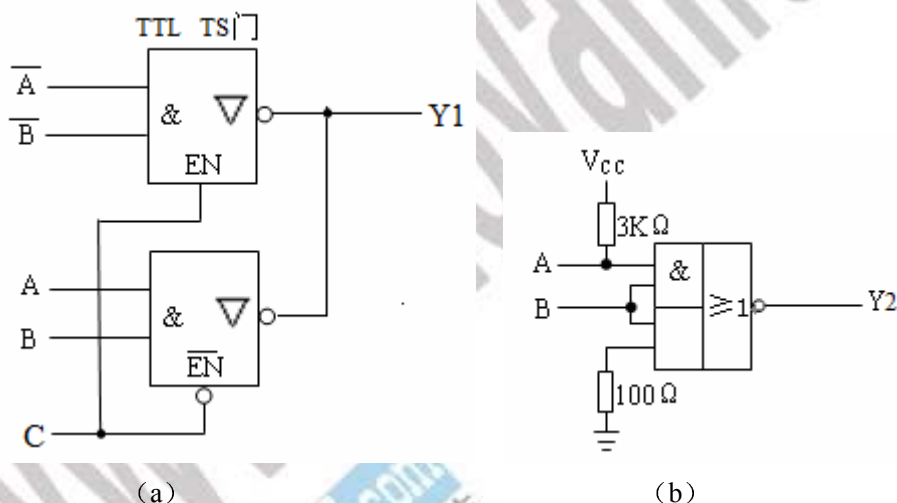


图 2.1 第三题电路图

四、（共 15 分）用 3 线-8 线译码器 74LS138（如图 2.2 所示）和若干与非门设计 1 位二进制全加器电路，并按要求完成下列各小题。

1、用逻辑变量 A、B、C、D、E 分别表示全加器的被加数、加数、来自低位的进位、和以及向高位的进位，试列出全加器的真值表。

2、写出该全加器各输出变量的最小项与或表达式。

3、画出用 3 线-8 线译码器 74LS138 实现该全加器的逻辑电路图（必须画在答题纸上）。

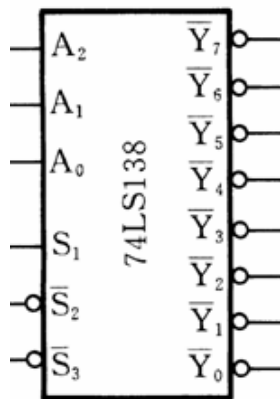


图 2.2 第四题图

五、（共 10 分）电路如图 2.3 所示，按要求完成下列各小题。

- 1、列出逻辑电路图的状态表；
- 2、写出输出 F 的与或表达式；
- 3、已知 C 脉冲的波形图，画出 Q1、Q0 及 F 的波形（必须画在答题纸上）。（设触发器初始状态为“00”）。

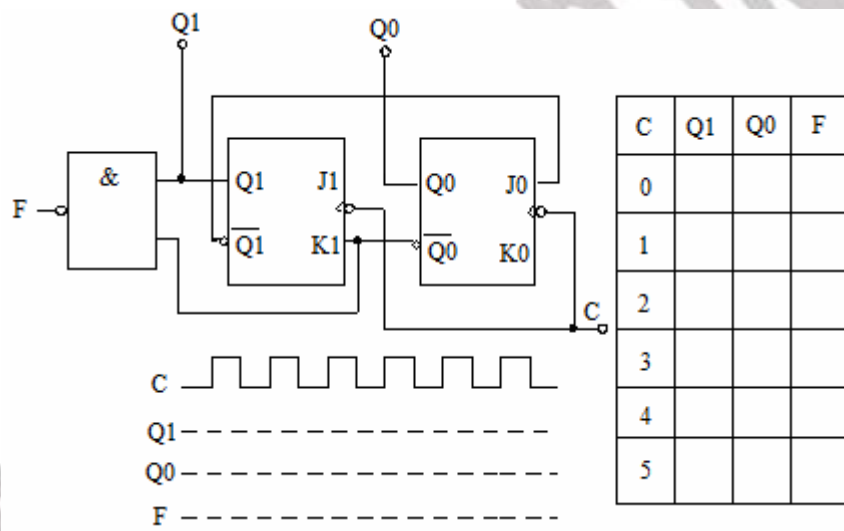


图 2.3 第五题图

六、（共 10 分）用两片十六进制计数器 74161 和若干门电路设计一个完整的 19 进制加法计数器，要求：

- 1、分别写出个位片和十位片的清零状态；
 - 2、画出逻辑电路图（必须画在答题纸上）。
- （74161 的功能表如表 1 所示，引脚如图 2.4 所示，其中 Q_3 为最高位， Q_0 为最低位）

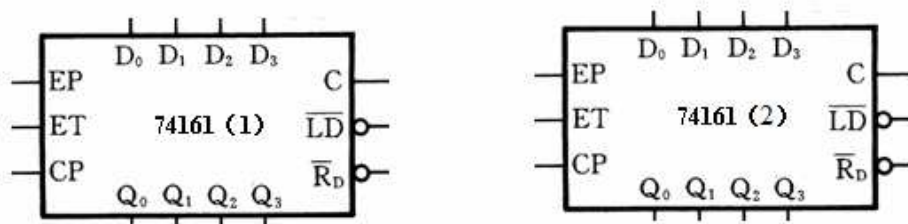


图 2.4 第六题图

表 1 74161 功能表

CP	\overline{R}_D	\overline{LD}	EP	ET	工作状态
×	0	×	×	×	异步置零
↑	1	0	×	×	置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (C=0)
↑	1	1	1	1	计数

七、(共 10 分) PLA 阵列逻辑图如图 2.5 所示, 按要求完成下列各小题。

- 1、写出输出 Y_0 、 Y_1 、 Y_2 、 Y_3 的逻辑表达式;
- 2、列出电路的真值表;
- 3、说明此电路的逻辑功能。

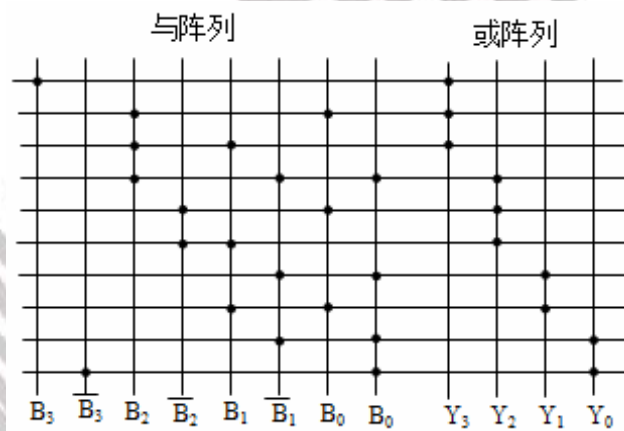


图 2.5 第七题图