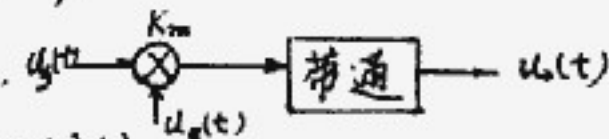


## 一、填空题 (5分)

1. 在高频调谐功率放大器中, 负载过重会引起 \_\_\_\_\_, 负载过轻会引起 \_\_\_\_\_.
2. 在电子电路中, 非线性电路的主要作用是 \_\_\_\_\_.
3. 若普通调幅波的振幅最大值为16V, 最小值为10V, 则载波振幅为 \_\_\_\_\_, 调幅度 $m_a$ 为 \_\_\_\_\_.

## 二、选择题 (请在正确的答案上画“O”) (5分)

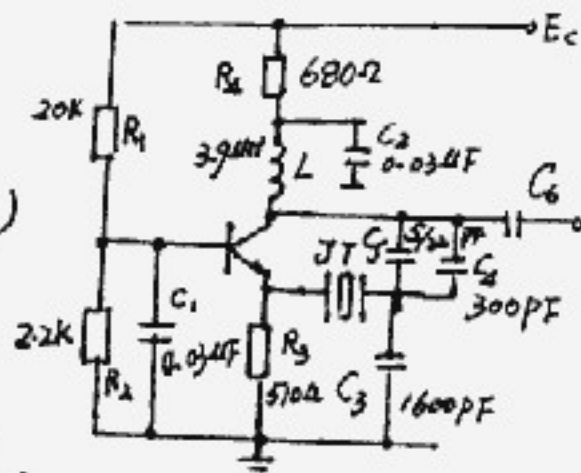
1. 在正弦振荡器电路中 (a. 只能引入正反馈; b. 只能引入负反馈; c. 正、负反馈可同时引入, 但正反馈不能小于负反馈; d. 正、负反馈可同时引入, 但负反馈必须大于正反馈).
2. 鉴频器所需的鉴频特性范围取决于 (a. 调制信号频率; b. 最大频偏; c. 调频波的有效带宽; d. 调频系数 $m_f$ ).
3. 平衡调制器或环形调制器中电路元件的主要要求为 (a. 平衡、对称; b. 耐压; c. 耐热; d. 最大允许电流大).
4. 为了合理的高效率下取得较大的输出功率, 调谐功放的最佳导角 $\theta$ 中通常取 (a.  $180^\circ$ ; b.  $160^\circ$ ; c.  $120^\circ$ ; d.  $80^\circ$ ).
5. 已知由乘法器构成的电路框图如图所示,  $u_s(t)$    $u_o(t)$   
(其中  $u_s(t) = U_c(\cos \omega_s t + m_f \sin \Omega t)$ ,  $u_c(t) = U_c \cos \omega_c t$ )  
则此电路为 (a. 调幅电路; b. 同步检波电路; c. 混频电路; d. 鉴频电路).

三. 晶体振荡电路如图所示 ( $C_5 = 5/22 \text{ pF}$ )

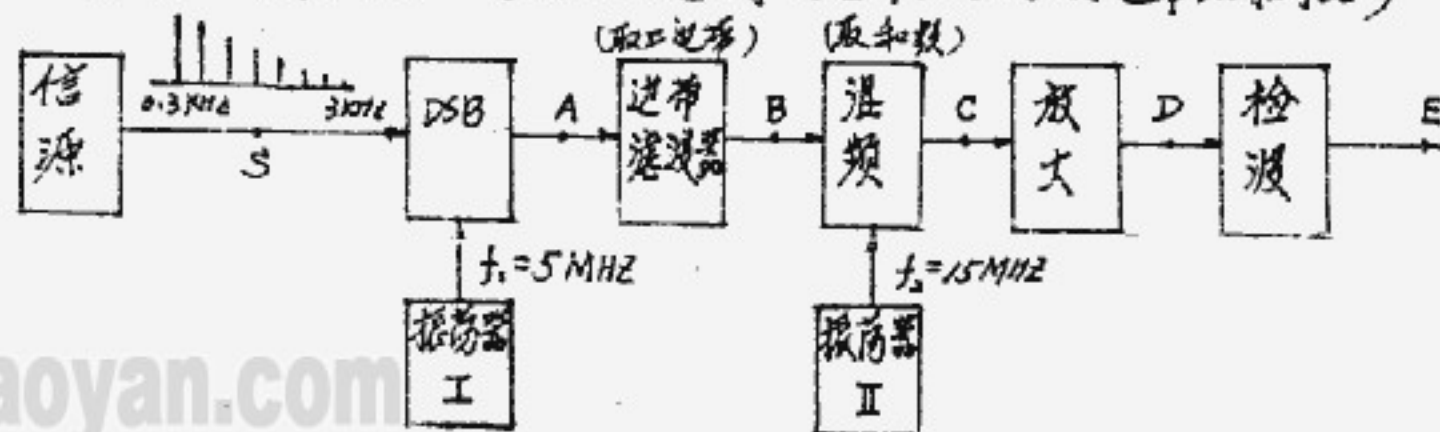
$$C_4 = 300 \text{ pF} \quad L = 3.9 \mu\text{H} \quad C_3 = 1600 \text{ pF} \quad R_3 = 510 \Omega$$

$$C_1 = C_2 = 0.03 \mu\text{F} \quad R_4 = 680 \Omega \quad R_1 = 20 \text{ k}\Omega \quad R_2 = 2.2 \text{ k}\Omega$$

- (1) 画出其交流通路;
- (2) 指出电路属什么类型晶体振荡器;
- (3) 指出应选择的石英晶体谐振频率 $f_s$ 的范围;
- (4) 简要说明其振荡原理;
- (5) 写出反馈系数 $B$ 的表达式. (15分)



四. 1. 电路系统框图如图所示, 已知信源输出(S点)频谱如图中所示  
试画出图中各点的频谱示意图 (其中DSB为双边带调制器) (5分)



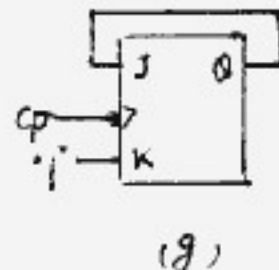
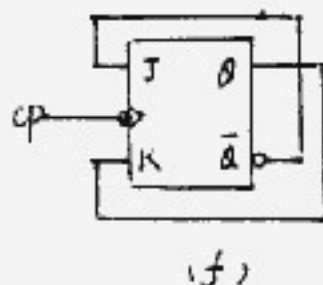
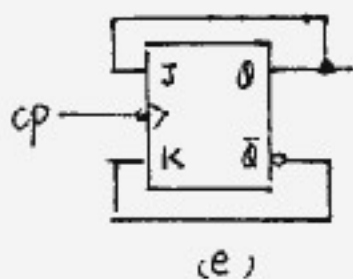
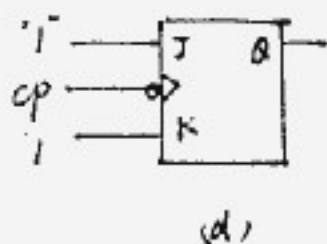
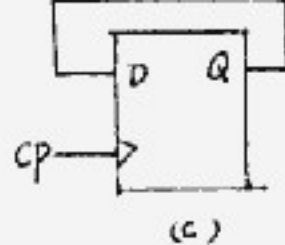
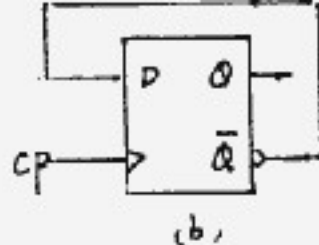
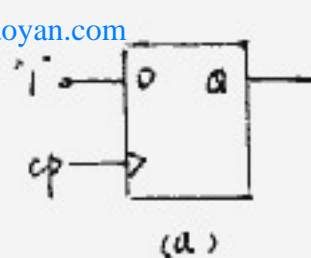
2. 某调角波载波频率为 $f_c = 2.5 \text{ MHz}$ , 振幅 $U_c = 5 \text{ V}$ , 调制信号为正弦波, 频率为 $F = 400 \text{ Hz}$ , 最大频偏 $\Delta f = 10 \text{ kHz}$ , 试分别写出调频波和调相波表示式. (10分)

五. 现有频率为 $4.096 \text{ MHz}$ 的晶体振荡器和各种分频器, 试用锁相环设计一频率合成器, 要求其输出信号频率范围为 $1 \text{ kHz} \sim 2 \text{ MHz}$ , 每个频点间隔(即步长)为 $1 \text{ kHz}$ , (1) 请画出电路系统框图. (2) 标明各主要框图的要求. (10分)

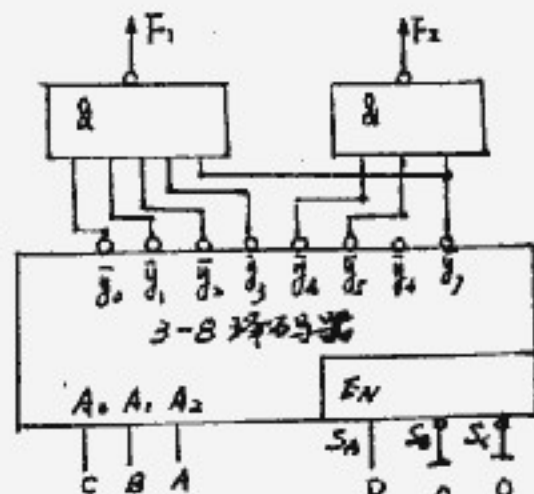
六. 简化下列函数 并用OC门画出其逻辑电路图.  $F = AD + (A+B)(A+C)(A+D)(A+E)$  (6分)

七. 设图中各触发器初始状态为0, 试画出各触发器在连续3个CP作用下Q端的波形. ( $2 \times 7 = 14$ 分)

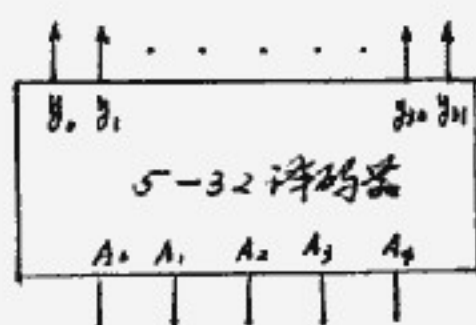
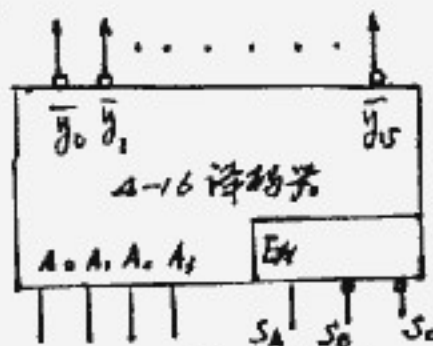
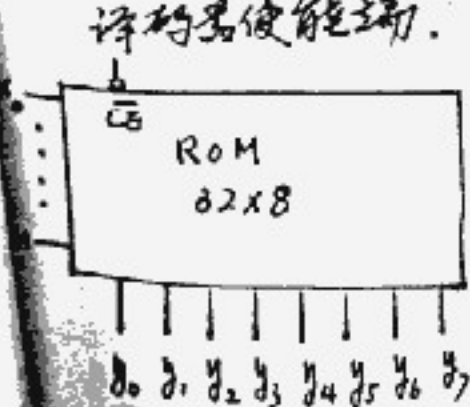




八、分析下图所示逻辑电路，分别写出  $F_1$  和  $F_2$  的逻辑函数表达式  
(其中  $EN = S_A S_B S_C$  为使能端) (6分)

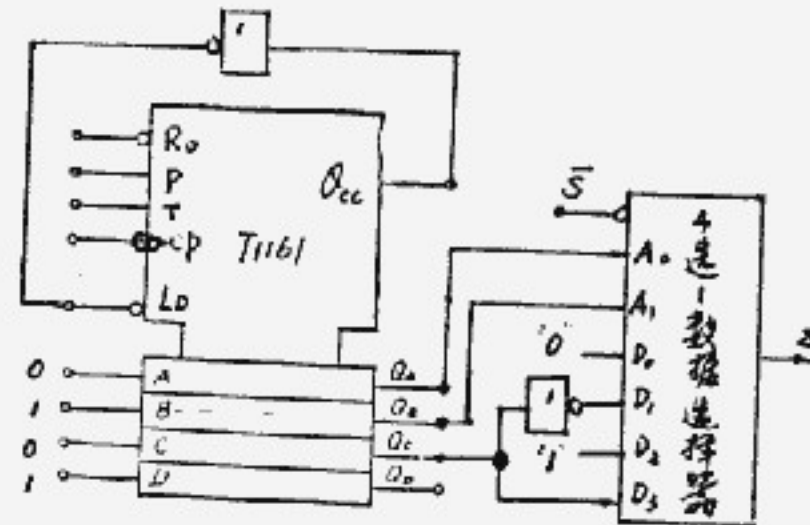


九、现有ROM (容量为  $32 \times 8$ ) 若干片，4-16译码器一片，5-32译码器若干片，试构成一个  $512 \times 8$  的存储器。(注：(1) 计算出应用几片ROM；(2) 计算出需要地址码数量；(3) 画出逻辑框图；(4)  $CE \sim$  ROM片选信号， $EN = S_A S_B S_C \sim 4 \times 6$  译码器使能端。(9分)



十、分析下图各同步时序电路，列出状态转移表，指出各电路的逻辑功能。  
(3×5=15分)

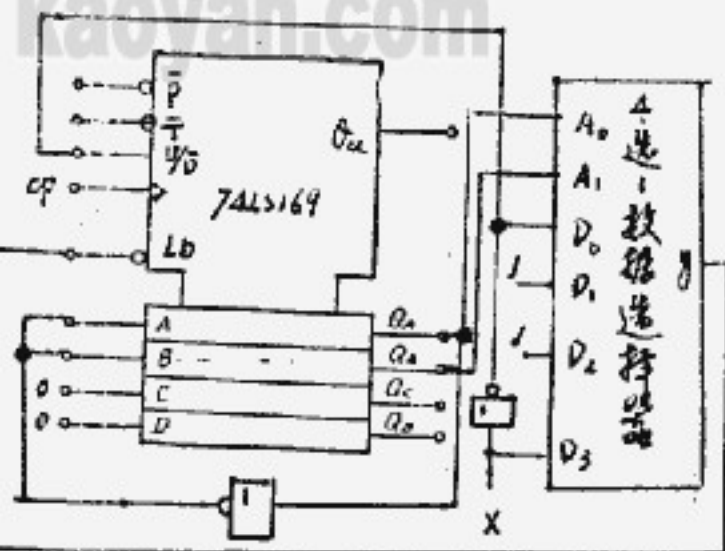
1.



T1161T214功能表

输入					输出			
CP	R	LD	P(S <sub>1</sub> )	T(S <sub>2</sub> )	A	B	C	D
φ	0	φ	φ	φ	φ	φ	φ	φ
↑	1	0	φ	φ	A	B	C	D
φ	1	1	0	φ	φ	φ	φ	φ
φ	1	1	φ	0	φ	φ	φ	φ
φ	1	1	1	1	φ	φ	φ	φ

2.



74LS169功能表 (模M=16)

CP	P+T	U/D	LD	Q <sub>0</sub> Q <sub>1</sub> Q <sub>2</sub> Q <sub>3</sub>
φ	1	φ	1	保持
↑	0	φ	0	D C B A
↑	0	1	1	二进制计数 (1111时 Q <sub>0</sub> =0)
↑	0	0	1	二进制减法计数 (0000时 Q <sub>3</sub> =0)

3. 作 11010 序列检测器的状态转换图，并求出最简状态转换表。