

1995 年北京航空航天大学计算机组成原理期终考试试题

(350601~350604)

考研加油站收集整理 <http://www.kaoyan.com>

姓名_____ 学号_____

一、填空（本题 15 分，每空各 1 分）

1. 微操作的三个基本要素是_____、_____和_____。
2. 浮点数的加减法的基本运算过程是_____、_____和_____。
3. 页式虚拟存储管理中，页表首地址寄存器用来记录_____。
4. 目前计算机系统存储层次结构一般包括_____、_____和_____三部分。
5. 通道地址字是用来记录_____。
6. 总线的控制方式分为_____、_____和_____三种。
7. 条件转移指令所依据的条件来自_____寄存器。

二、简要回答下列各题（本题共 25 分，每小题 5 分）

1. 简述 DMA 接口控制器的基本逻辑组成。
2. 在运算器的设计过程中，为了提高运算器的速度，可以采取那些措施。
3. 一位比较法是常用的补码乘法算法，一个实现 16 位比较法的乘法部件应该包含哪些逻辑部件（不必画逻辑图，只需指出所列逻辑部件的用途及其数据位数）。
4. 已知一磁盘机共有 10 个盘面，每面 80 道，每道 8 个扇区，每个扇区 512 Bytes，该磁盘机的容量为多少？该盘转速为 3600 转 / 分，则该磁盘通道的最大数据传输率为多少？
5. 简述中断调用指令和子程序调用指令的执行差别。

三、（本题 15 分）

用 $4K \times 4$ 的动态 RAM 芯片设计一个 $32K \times 8$ 的按字节单元编址的存储器。

1. 需多少芯片？
2. 画出连接简图，给出片选信号的具体逻辑。
3. 该存储器的刷新地址计数器应为多少位。

四、（本题 10 分）

一个列（组）相联的高速缓冲存储器，容量为 64K Bytes，主存容量为 4M Bytes，都划分为 16 列，每块大小 512 Bytes。问：

1. 高速缓冲存储器和主存的地址格式；
2. 高速缓冲存储器的地址阵列包含多少个单元，每个单元多少位；

五、（本题 10 分）

某机字长为 16 位，采用 16 位定长指令格式，控制方式采用混合控制方式，每个 CPU 周期包含 4 个节拍，指令：

SUB 200(R0),R1 ;目的操作数—源操作数→目的单元

目的操作数 200(R0)为变址寻址，源操作数 R1 为寄存器直接寻址。

写出执行该指令的微操作流程，并详细安排该指令的执行时序。

六、(本题 10 分)

某机字长为 16 位, 内存容量 64KB, 8 个 16 位通用寄存器 R0~R7, 指令系统基本要求是: 四种基本寻址方式: 立即寻址, 寄存器直接寻址, 寄存器间接寻址, 变址寻址;

16 条双操作数指令 (其中必有一操作数是寄存器直接寻址), 64 条单操作数指令; 操作数可能是字节操作数也可能是字操作数。

4 条无操作数指令;

请给出该机指令系统的详细设计方案 (定义指令长度, 定义各字段的含义, 并给出编码范围)。

七、(本题 15 分)

余 3 码十进制加法运算的基本规则是: 两个十进制数的余 3 码相加, 当本位和产生进位时, 其本位和应做加 3 修正; 当本位和不产生进位时, 其本位和应做减 3 修正。请设计一个完成两个一位十进制数余 3 码加法运算的运算部件。假定两个一位十进制数的余 3 码已分别存放在寄存器 R0 和 R1 中, 常数 3 也存放在寄存器 R2 中, 和的个位存放到寄存器 R3 中, 和的十位舍弃不管。寄存器均为 4 位。要求:

1. 画出该运算部件的逻辑框图, 并定义各数据通路上的微操作。

2. 设计一个微程序控制器控制该运算部件完成上述余 3 码加法运算 (写出运算微操作流程, 定义微指令格式, 写出微程序编码)。