

西北工业大学

2003 年硕士研究生入学考试试题

试题名称: 计算机组成与系统结构

试题编号: 160

说明: 所有试题一律写在答题纸上

第 1 页 共 2 页

一、(40 分) 填空题:

1. 计算机系统的三个层次结构由内向外分别是 (1)、(2) 和 (3)。
2. 生成多项式 $G(x) = x^4 + x + 1$ 对应的二进制数为 (4), 现以 $G(x)$ 进行 CRC 编码, 其校验位的位数是 (5)。
3. 某 CPU 利用 74181 和 74182 组成 64 位多重进位运算器, 试问共需 (6) 片 74181 和 (7) 片 74182。
4. SRAM 是靠 (8) 存储信息, DRAM 是靠 (9) 存储信息。
5. 虚拟存储器是建立在 (10) 结构上, 用它是为了解决 (11) 问题。
6. 存储管理主要由 (12) 实现, CPU (13) 访问第一级存储器。
7. 建立 Cache 的理论根据是 (14)。Cache 是为了解决 (15) 而采用的一项重要硬件技术。
8. 相对寻址方式中操作数的地址由 (16) 与 (17) 的和产生。
9. 从计算机指令系统设计的角度, 将计算机可分为 (18) 和 (19)。
10. 一条转移指令的操作过程有取指令、(20) 及 (21) 三部分。
11. 微程序一般是存放在 (22) 中, 微指令分成 (23) 和 (24) 微指令两类, (25) 微指令执行的速度快, 在执行微程序时, 取下一条微指令和执行本条微指令一般是 (26) 进行的。
12. 双向传输的总线可分为 (27) 和 (28)。
13. 总线的电气特性包括每一条信号线的信号传递方向, 信号的 (29) 特征和 (30) 特征。
14. 总线设备与总线的连接界面是 (31)。总线控制主要解决 (32) 问题。
15. CPU 响应中断时首先要完成的两个步骤是 (33) 和 (34)。
16. 中断屏蔽的两个作用是 (35) 和 (36)。
17. 目前最具权威性和发展前景的并行 I/O 接口是 (37) 串行 I/O 接口是 (38)。
18. DMA 控制器主要由字计数器、数据寄存器、(39)、(40)、标志寄存器及地址译码器与同步电路组成。

二、(30 分) 简答题:

1. 全世界人民都在重视环保工作, 谈谈你对绿色计算机的定义及要求。
2. CRC 码的纠错原理。
3. 采用先行进位的目的及基本思想。
4. ROM 和 RAM 有何差别? 在存储器 DRAM、SRAM、ROM、Cache 及光盘中, 哪些是易失性的? 哪些是非易失性的? 哪些是读出破坏性的? 哪些是非读出破坏性的?
5. 机器指令和微指令各包括哪两个基本要素。程序和微程序又各靠什么实现顺序执行和转移的?
6. 中断控制方式与 DMA 方式有哪些异同。

三、(30 分) 分析改错题:

1. 浮点数通常采用规格化来表示, 规格化数是指其尾数的第 1 位应为 0 的浮点数。

2003 年硕士研究生入学考试试题

科目名称：计算机组成与系统结构

试题编号：460

说明：所有试题一律写在答题纸上

第 2 页 共 2 页

2. 全加器和半加器的区别在于是否考虑低位向高位进位。低位向本位有进位的加法器称为全加器。
3. 大多数微机中可配置的内存容量受地址总线位数的限制。
4. CPU 访问存储器的时间与存储器的容量有关，存储器容量越大，访问所需的时间越长。
5. 虚拟存储器的逻辑地址转换成物理地址由硬件实现的，仅在页面失效时才由操作系统将被访问页面从辅存调到主存，必要时还要把被淘汰的页面内容写入辅存。
6. RISC 的主要设计目标是减少指令数，降低软、硬件开销。
7. 流水线中相关问题是指出在一段程序的相邻之间，存在某种关系，这种关系影响指令的并行执行。
8. 计算机的主频最高，机器的速度就最快。
9. 一个更高优先级的中断请求可以中断另一个中断处理程序的执行。
10. CPU 和 DMA 控制器可以同时使用总线。

四、(10 分) 用 8 位二进制数写出下列各数原码、反码、补码和移码，其中 MSB 是最高位（又是符号位），LSB 是最低位。如果是小数，小数点在 MSB 之后；如果是整数，小数点在 LSB 之后。

- (1) $23/128$ (2) -128 (3) $-35/64$ (4) 用小数表示 -1 (5) 用整数表示 -1

五、(10 分) 计算题：

1. 已知， $[X]_2 = 1.1011$ ， $[Y]_2 = 0.1011$ ，求两数的算术左、右移和逻辑左、右移后的值。
2. 已知， $[Y]_2 = 0.1011$ ， $[X]_2 = 0.1001$ ，求 $2[-Y]_2$ 和 $[-X]_2$ 。

六、(10 分) 某台计算机共有 64 种指令，各指令具有以下格式：

3 位			3 位	2 位	地址
OP	源寄存器	目标寄存器	M		

格式表明有 8 个通用寄存器（长度 16 位），M 指导址模式，主存容量为 256K 字。

(1) 假定不用通用寄存器也能直接访问主存中的每个单元，请问地址段应分配多少位？操作码 OP 段应为多少位？指令字长共多少位？

(2) 假设 $M=11$ 时，指定的那个通用寄存器用做基值寄存器，请给出一个硬件设计方案，使用被指定的通用寄存器能访问 $1M$ 主存空间中的每一个单元。

七、(10 分) 一个 4 级流水线，分别完成取指令、指令译码、取操作数、运算四步操作。假定完成各步操作的时间依次为 100ns，90ns，80ns，50ns

- (1) 流水线的操作周期应设计为多少？
- (2) 若相邻两条指令发生数据相关，硬件上不采取任何措施，问第 2 条指令要推迟多少时间？
- (3) 如果对硬件加以改进，那么第 2 条指令至少要推迟多少时间？

八、(10 分) 用时空图法证明流水 CPU 比非流水 CPU 具有更高的吞吐率