

## 电子科技大学 1999 年计算机组成原理考研试题

一、(10 分)改正各题结论中的错误或补充其不足。

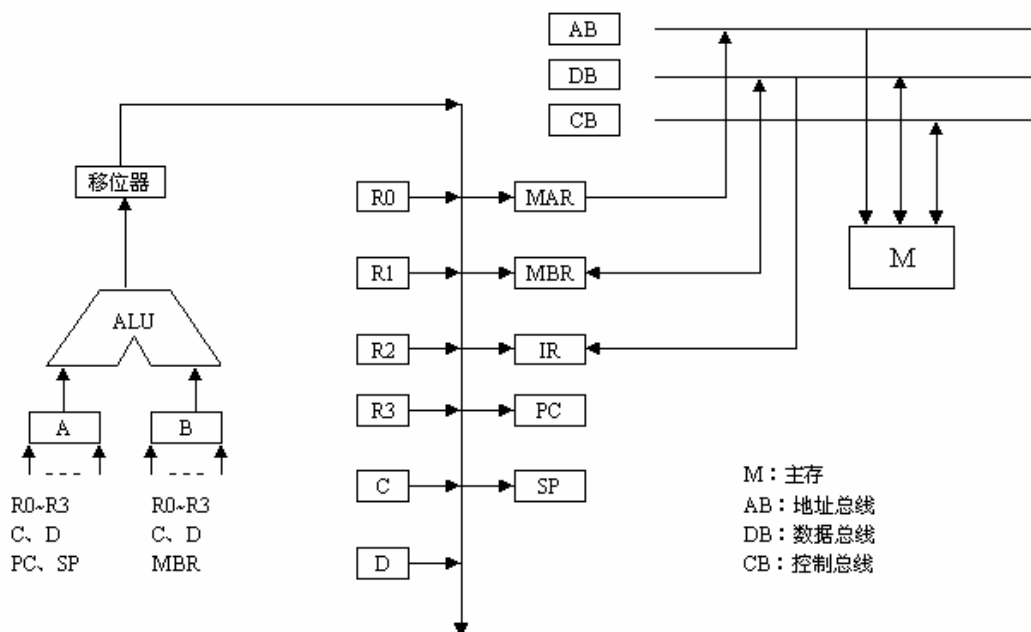
- 1、在补码乘法（比较法）中，最后一步需要修正。
- 2、主存采用随机存取方式，是因为可以向主存写入数据，或从主存读出数据。
- 3、在微程序控制方式中，一条机器指令用一条微指令解释执行。
- 4、采用隐式 I/O 指令是指用硬件实现自动实现 I/O 操作。
- 5、磁盘存储器与主存之间的数据传送既可以采用 DMA 方式，也可以采用中断方式。
- 6、在硬盘中，通常将一个较长文件存放在同一盘面的相邻磁道上。
- 7、打印机的字符发生器中存放的是字符的 ASCII 码。
- 8、在主机内，CPU 对主存的访问必须通过内总线进行。

二、(40 分) 简答题

- 1、某加法器采用串行进行方式。写出第三级进位 C<sub>3</sub> 的逻辑式（操作数 A<sub>i</sub>、B<sub>i</sub>、初始进位 C<sub>0</sub>），并画出有关部分的逻辑电路图（门级）。
- 2、在浮点运算中，什么情况下需对阶？为什么？如何操作？
- 3、指令基本格式包括操作码和地址码两部分。采用哪些方式可以减少地址码部分的长度？为什么？试举例说明。
- 4、组合逻辑控制方式有哪两个主要缺点？微程序控制方式如何针对这些缺点进行改进？
- 5、为什么在同步控制方式中要划分周期、脉冲等时序信号，而在异步控制方式中则没有明显的时序划分？
- 6、在相同容量的静态存储芯片和动态存储芯片中，哪种芯片功耗较大？哪种功耗较小？为什么？
- 7、某图形显示器的分辨率为 800×600 线，其显卡上有缓冲存储器、同步计数器和其他有关逻辑。若将分辨率提高到 1024×768 线，并保证帧频不变，在显卡应作哪些改进？
- 8、为什么 CPU 可以在一个总线周期结束时响应 DMA 请求，而必须在一条指令结束时才能响应中断请求？
- 9、如何用变址寻址方式访问一段连续存储区中的各个单元？
- 10、为了实现多重中断在服务程序的起始部分应安排哪些操作？为什么？
- 11、在系统总线操作中如何体现同步方式的扩展？请举例说明。
- 12、在原码除法和补码除法(均不恢复余数法)中，如何上商?如何下一步操作？

三、(20 分)

某机数据通路采用单向内总线结构，如下图所示。通路中包括选择器 A 和 B、ALU、移位器、通用寄存器 R<sub>0</sub>~R<sub>3</sub>、暂存器 C 和 D、地址寄存器 MAR、数据缓冲寄存器 MBR、指令寄存器 IR、指令计数器 PC、堆栈指针 SP 等。



- 1、用寄存器传送语句(如:  $C \rightarrow MBR$  形式)写出下述指令的流程。
  - (1) 加法指令  $ADD R0, X(R1)$ ; 源采用寄存器寻址, 目的采用变址。
  - (2) 返回指令  $RST (SP)+$ ; 返回地址采用自增型寄存器间址。

2、列出取指周期有关操作所需的微命令(不考虑时序转换), 并将这些微命令加在图中相应部件上。

四、(15分)地址总线 A15~A0(低), 存储空间(按字节编址)分配如下 0000H~3FFFH 为 ROM 区, 4000H~7BFFH 为 RAM 区, 7C00H~7FFFH 为 I/O 地址空间。用 EPROM 芯片(8KB/片、4KB/片)和 RAM 芯片(4K×4 组成该存储器)。不画框图, 请回答:

- 1、三种存储芯片各需多少片?
- 2、每块芯片需分配哪几位地址?
- 3、应设置几个片选信号? 写出各片选信号的逻辑式, 以实现 ROM 区和 RAM 区的访问。

五、(15分)某输入设备按串行方式工作, 以向量中断方式向主机传送数据, CPU 发向设备的命令包括清除、屏蔽、启动, 设备状态可抽象为空闲、忙、完成。试为该设备设计中断接口。

- 1、画出接口模型图(寄存器级)。
- 2、说明图中各组成部分的功能。
- 3、拟定接口命令字格式和状态字格式。
- 4、以设备向主机输入数据为例, 描述微量中断过程, 说明:
  - ①主机如何启动设备?
  - ②设备在什么情况下申请中断?
  - ③接口如何传送中断请求?
  - ④CPU 响应后如何转相应服务程序?