

一九九九年硕士研究生入学考试试题

考试科目：计算机原理

注：应届考生作一(1~5)、二(1~8)、三、四、五题。

在职考生从一(1~8)中选作5题，从二(1~12)中选作8题，并作三、四、五题。

一、(10分)

改正各题结论中的错误或补充其不足。

1. 在补码乘法(比较法)中，最后一步需修正。

2. 主存要用随机存取方式，是因为可以随意向主存写入数据，或从主存读出数据。

3. 在微程序控制方式中，一条机四指令用一条微指令解释执行。

4. 采用隐式I/O指令，是指用硬件自动实现I/O操作。

5. 磁盘存储四与主存之间的数据传递既可以用DMA方式，也可以用中断方式。

6. 在硬盘中，通常将一个较长文件存放在同一盘面的相邻磁道上。

7. 打印机的字符发生器中存放的是字符的ASCII码。

8. 在主机内，CPU对主存的访问必须通过内总线进行。

二、(40分) 简答题

② (5分) FT: $M \rightarrow IR$

$PC+1 \rightarrow PC$

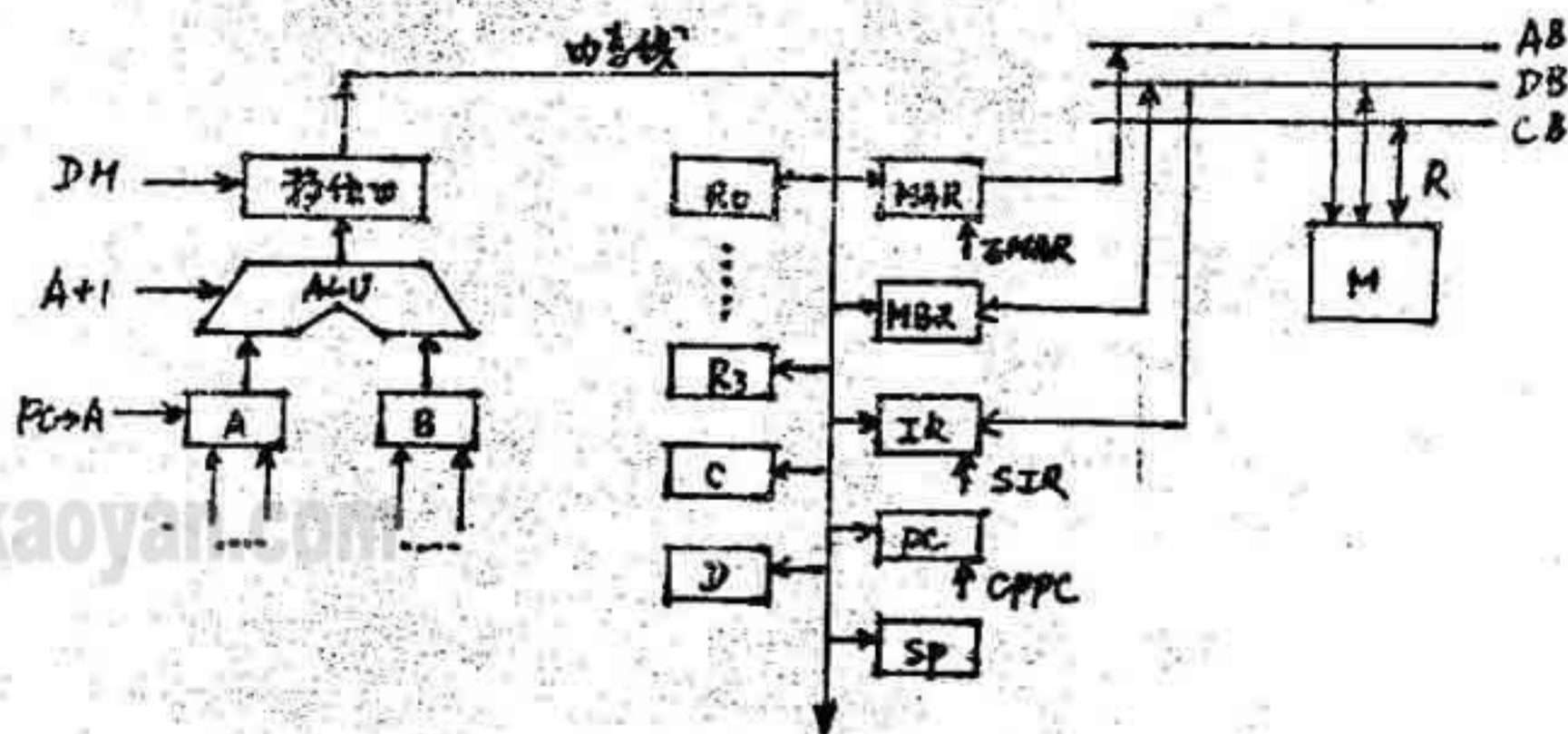
ET: $SP \rightarrow MAR$

$M \rightarrow MBR \rightarrow PC, MAR$

$SP+1 \rightarrow SP$

2. (5分) FT0: ZMAR, R, SIR.

$PC \rightarrow A, A+1, DM, CPPC$



四. (15分)

1. (5分) 8KB EPROM 1片, 4KB EPROM 2片, 4Kx4 RAM 8片.

2. (2分) 8K芯片: $A_{12} \sim A_0$, 4K芯片: $A_{11} \sim A_0$

3. (8分) 7个片选信号: $CS_0 = \bar{A}_{15} \bar{A}_{14} \bar{A}_{13}$

$CS_1 = \bar{A}_{15} \bar{A}_{14} A_{13} \bar{A}_{12}$

$CS_2 = \bar{A}_{15} \bar{A}_{14} A_{13} A_{12}$

$$CS_3 = \bar{A}_{15} A_{14} \bar{A}_{13} \bar{A}_{12}$$

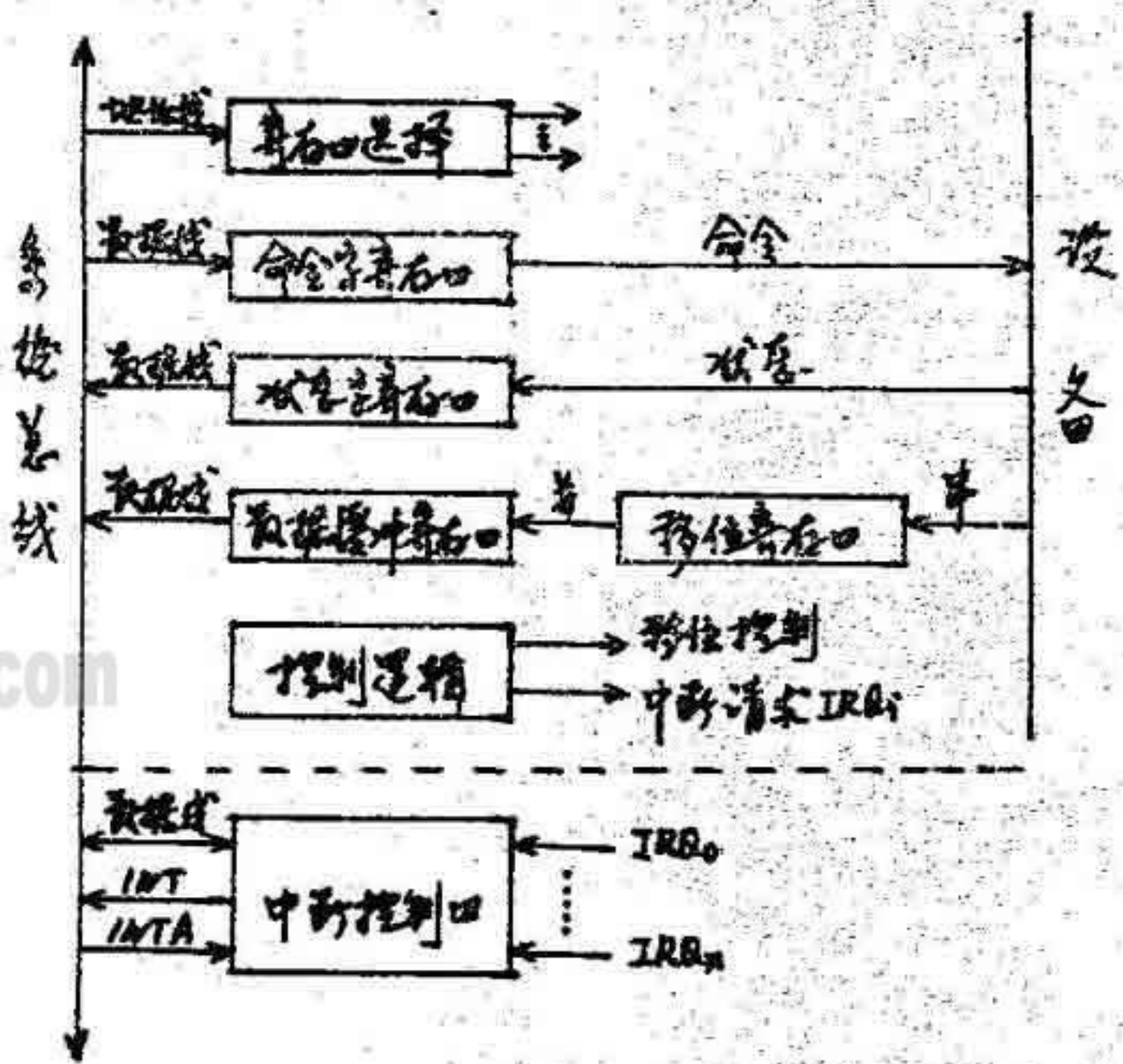
$$CS_4 = \bar{A}_{15} A_{14} \bar{A}_{13} A_{12}$$

$$CS_5 = \bar{A}_{15} A_{14} A_{13} \bar{A}_{12}$$

$$CS_6 = \bar{A}_{15} A_{14} A_{13} A_{12} \bar{A}_{11} \bar{A}_{10}$$

五. (15分)

1. (4分)



2. (5分)

寄存器选择：接收地址，选择接口寄存器。
 命令寄存器：接收主机发向设备的命令。
 状态寄存器：反映接口、设备的状态。

数据缓冲寄存器和移位寄存器：移位寄存器接收设备送来的串行数据，转换为并行数据送入数据寄存器，再送往主机。

控制逻辑：控制移位寄存器串-并转换，控制产生中断请求信号等。

中断控制口：接收各设备请求，经屏蔽、判优，向CPU送出公共请求信号。接收CPU响应信号，送出相应中断类型码。

3. (2分)

命令字格式：

| | | |
|----|----|----|
| 1位 | 1位 | 1位 |
| 清除 | 屏蔽 | 启动 |

命令为1，有效；

命令为0，无效。

状态字格式：

| | | |
|----|----|----|
| 1位 | 1位 | 1位 |
| 空闲 | 忙 | 完成 |

状态为1，有效；

状态为0，无效。

4. (4分)

① CPU将命令字（启动位为1）送接口命令寄存器，向设备发启动命令。

② 设备工作，将输入数据串行送入移位寄存器，转换为并行数据送数据寄存器，置完成位为1，无屏蔽命令，申请中断。

③ 中断请求送中断控制口，经屏蔽、判优，形成公共请求INT送CPU。

关中断, 保存现场;

④ CPU响应, 向中断控制口发响应信号INTA; 接收中断控制口送来的中断类型码, 转换为向量地址, 查中断向量表, 取出中断服务程序入口地址, 转相应服务程序。

1. 某加法器采用串行进位方式。写出第三位进位 C_3 的逻辑式(操作数 A_i 、 B_i 、初始进位 C_0)，并画出有关部分的逻辑电路图(门级)。

2. 在浮点运算中，什么情况下需对阶？为什么？如何操作？

3. 指令基本格式包括操作码和地址码两部分。采用哪些方式可以减少地址码部分的长度？为什么？试举例说明。

4. 组合逻辑控制方式有哪两个主要缺点？微程序控制方式如何针对这些缺点进行改进？

5. 为什么在同步控制方式中要划分周期、脉冲等时序信号，而在异步控制方式中则没有明显的时序划分？

6. 在相同容量的静态存储芯片和动态存储芯片中，哪种芯片功耗较大？哪种功耗较小？为什么？

7. 某图形显示器的分辨率为 800 点 \times 600 线，其显卡上有缓冲存储器、同步计数器和其他有关逻辑。若将分辨率提高到 1024 点 \times 768 线，并保证帧频不变，在显卡上应作哪些改进？

8. 为什么 CPU 可以在一个总线周期结束时响应 DMA 请求，

而必须在一指令结束时才能响应中断请求?

9. 如何用变址寻址方式访问一段连续存储区中的各个单元?

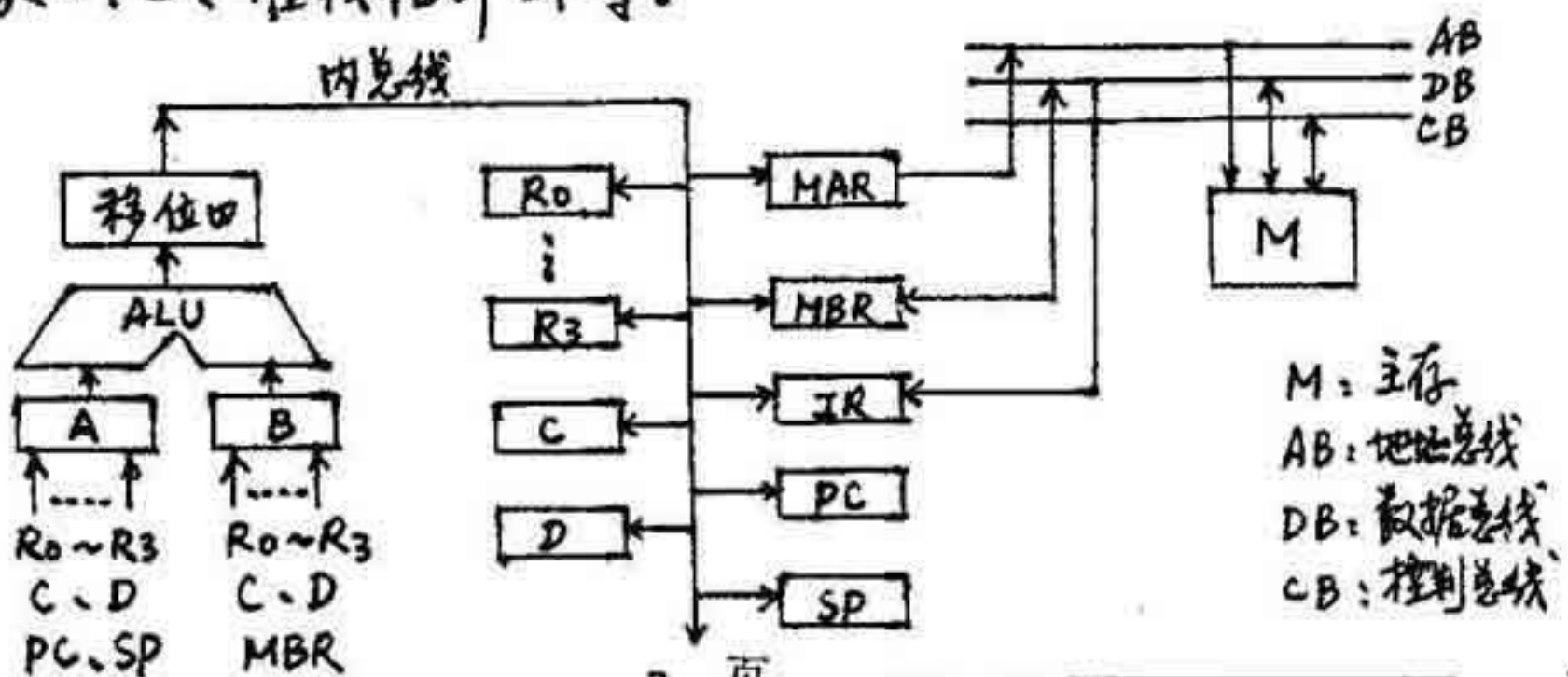
10. 为实现多重中断, 在服务程序的起始部分应安排哪些操作? 为什么?

11. 在系统总线操作中如何体现同步方式的扩展? 请举例说明。

12. 在原码除法和补码除法(均为不恢复余数法)中, 如何上商? 如何作下一步操作?

三. (20分)

某机数据通路采用单向内总线结构, 如下图所示。通路中包括选择器A和B、ALU、移位器、通用寄存器 $R_0 \sim R_3$ 、暂存器C和D、地址寄存器MAR、数据缓冲寄存器MBR、指令寄存器IR、指令计数器PC、堆栈指针SP等。



1. 用寄存器传送语句(如 $C \rightarrow MBR$ 形式)写出下述指令的流程。

① 加法指令 $ADD R_0, X(R_1)$; 源采用寄存器寻址, 目的采用变址。

② 返回指令 $RST (SP)+$; 返回地址采用自增型寄存器间接址。

2. 列出取指周期有关操作所需的微命令(不考虑时序转换), 并将这些微命令加在图中相应部件上。

四. (15分)

地址总线 $A_{15} \sim A_0$ (低), 存储空间(按字节编址)分配如下:

$0000H \sim 3FFFFH$ 为 ROM 区, $4000H \sim 7BFFFH$ 为 RAM 区,

$7C00H \sim 7FFFFH$ 为 I/O 地址空间。

用 EPROM 芯片(8KB/片、4KB/片)和 RAM 芯片(4K×4/片)

组成该存储器。不画框图, 请回答:

1. 三种存储芯片各需多少片?

2. 每块芯片需分配哪几位地址?

3. 应设置几片选信号? 写出各片选信号的逻辑式, 以实现
对 ROM 区和 RAM 区的访问。

五. (15分)

某输入设备按串行方式工作, 以向量中断方式向主机传送数据。

CPU 发向设备的命令包括清除、屏蔽、启动, 设备状态可抽象为空闲、忙、完成。试为该设备设计中断接口。

1. 画出接口模型图(寄存器级)。

2. 说明图中各组成部分的功能。

3. 拟定接口命令字格式和状态字格式。

4. 以设备向主机输入数据为例, 描述向量中断过程,

说明:

① 主机如何启动设备?

② 设备在什么情况下申请中断?

③ 接口如何传送中断请求?

④ CPU响应后如何转相应服务程序?

1999年〈计算机原理〉参考答案及评分标准

一、改错题（每小题2分，共10分）

1. 在补码乘法中，若除数首位不是最高有效位是10或01，则最后一步需修正。
2. 主存采用随机存取方式，是因为可任意地址访问主存任一单元，访问时间与地址无关。
3. 在微程序控制方式中，一条机器指令用一段微程序解释执行。
4. 采用隐式I/O指令，是指用传送指令实现I/O操作。
5. 磁盘存储与主存之间的数据传送一般采用DMA方式，批量传送结束时用中断方式作善后处理。
6. 在硬盘中，通常将一个较长文件存放在同一圆柱面上的相邻磁道上。
7. 打印机的字码发生器中存放的是字形的实际信息。
8. 在主机内，CPU对主存的访问在通道系统总线进行。

二、简答题（每小题5分，共40分）

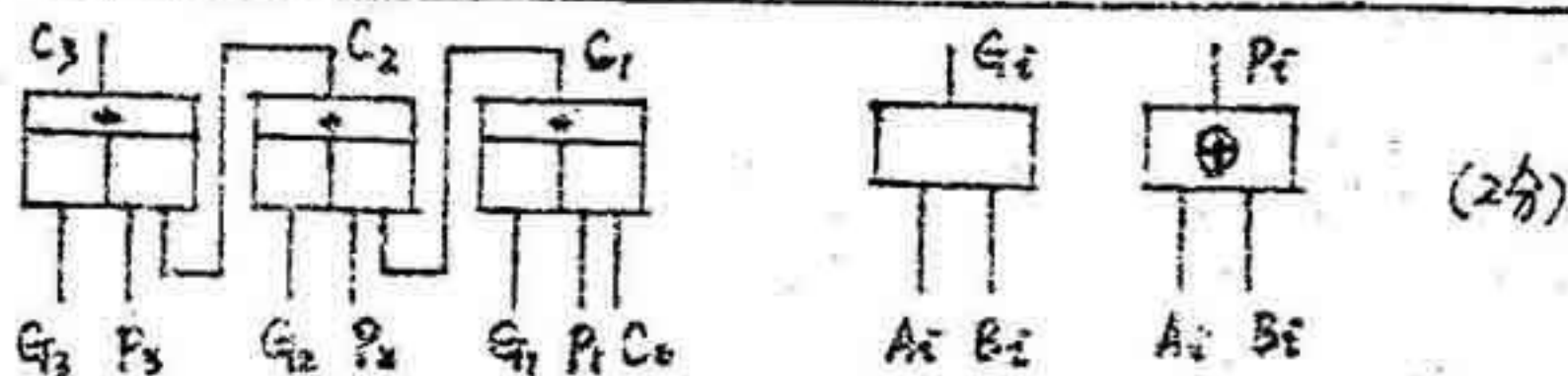
$$1. C_3 = G_3 + P_3 C_2$$

$$C_2 = G_2 + P_2 C_1$$

$$C_1 = G_1 + P_1 C_0$$

$$G_i = A_i B_i \quad P_i = A_i \oplus B_i$$

(3分)



2. 在浮点运算中, 作加法或减法时, 若两数阶码不等, 需对阶。(2分)
因阶码不同, 其尾数的取值不同, 尾数不能直接加减。(1分)
此时将阶码小的加1, 其尾数右移1位, 直至两数阶码相等。(2分)

3. ① 采用隐地址方式, 以减少指令中的地址数。如指令指定寄存器, 将二地址指令简化为一地址指令。(2.5分)

② 采用寄存器型寻址, 以减少指定地址的位数。如用寄存器地址或寄存器同址, 指令中只给出位数较少的寄存器编号。(2.5分)

4. 主要缺点:

① 设计不规整, 设计效率较低, 不利于检查、调试。(1分)

② 不易修改、扩展功能。(1分)

改进:

① 将程序技术引入CPU构成微。将微命令编制成微指令, 若干微指令组成一段微程序, 解释执行一条机器指令, 使设计规整。(1.5分)

② 将存储逻辑引入CPU。微程序事先存入控制存储器, 执行机器指令时取出, 译码产生指定微命令, 控制有关操作, 使指令功能易于修改、扩展。(1.5分)

5. 同步控制方式中, 各项操作与统一时序信号同步, 用周期控制操作时间, 用脉冲对某些微操作同步定时。 (2.5分)

异步控制方式中, 各项操作按需要安排不同时间, 不受统一时序控制。用异步配合方式实现各操作的衔接和数据传递。 (2.5分)

6. 静态存储功耗较大。因为静态存储依靠双稳态电路存储信息, 需由电流电流维持一管导通、一管截止的状态。 (2.5分)

动态存储功耗较小。因为动态存储依靠电容存储电荷来存储信息。对电容充电后可断开电源, 大大降低功耗。 (2.5分)

7. 改进:

① 增大缓存容量 (96KB)。 (1.5分)

② 重新设置字计数器、线计数器分频关系 (字计数器: $(128 \div 2) = 1$, 线计数器: $(768 \div 11) = 1$)。 (2分)

③ 提高主频。 (1.5分)

8. 因为DMA方式是直接依靠硬件传递, 不存在程序切换, 因而CPU可以在指令执行过程中, 一次稳定的总线传递结束响应DMA请求。 (2.5分)

中断方式是一种程序切换过程, CPU响应请求后从原程序切换到服务程序, 以处理随机事件。处理完毕后再自动返回原程序执行。为保证程序的完整性, CPU必须在一条指令结束时才能响应中断请求。 (2.5分)

9. 指令指定的形式地址作为该指令首址(1分), 变址寄存器提供各单元与首址的距离(1分), 首址与变址量相加为单元地址(1分)。变址寄存器初值为0(1分), 每访问一个单元, 变址寄存器的内容加1或减1(1分), 直至所有单元访问完毕。

10. ① 进新屏蔽字, 屏蔽同级或低级中断请求。(2.5分)

② 开中断, 允许在处理过程中响应更高级别的请求。(2.5分)

11. 以固定时钟周期作为时序基础, 允许时钟周期数可变, 实现异步事件同步。(3分)

例如DMA传递, 从总线请求到总线响应之间的延迟时间可为若干时钟周期; 总线周期中允许插入等待周期, 以延长总线周期, 保证一次稳定传递。(2分)

12. 原码除法中, 余数为正, 商1, 下一步将余数左移一位减除数; 余数为负, 商0, 下一步将余数左移一位加除数。(2.5分)

补码除法中, 余数和除数同号, 商1, 下一步将余数左移一位减除数; 余数和除数异号, 商0, 下一步将余数左移一位加除数。(2.5分)

三. (20分)

1. ① (10分) FT: $M \rightarrow IR$

$M \rightarrow MBR \rightarrow D$

$PC+1 \rightarrow PC$

ET: $R_0 + D \rightarrow MBR$

DT: $PC \rightarrow MAR$

$MBR \rightarrow M$

$M \rightarrow MBR \rightarrow D$

$PC \rightarrow MAR$

$PC+1 \rightarrow PC$

$R_1 + D \rightarrow MAR$