

电子科技大学

2004 年攻读硕士学位研究生入学试题

考试科目：419、数字电路

本套试题中所用电路符号图说明



一、 填空题 (每空 1 分, 小计 30 分)

1、 $(11001101011.1011011)_2 = (\quad)_{10} = (\quad)_{8421BCD}$ 。

2、 $(762)_{10} = (\quad)_2 = (\quad)_{Gray}$ (即格雷码)。

3、已知 N 的补码是 1.01101011, 则 N 的原码是 (\quad) , N 的反码是 (\quad) , N 的真值是 (\quad) 。

4、假设 Z_i 为电路的输出, x_i 为电路的输入, y_i 为电路的状态, $Z_i = f_i(x_1 \cdots x_n, y_1 \cdots y_n)$, $i=1, 2 \cdots r$ 描述的是 (\quad) 电路; $Z_i = g_i(y_1 \cdots y_n)$, $i=1, 2 \cdots r$ 描述的是 (\quad) 电路;

$Z_i = h_i(x_1 \cdots x_n)$, $i=1, 2 \cdots r$ 描述的是 (\quad) 电路。

5、以 X 为变量在一定条件下函数表达式可以化简成 (\quad) 或 (\quad) 的形式则相应的电路在 X 发生变化时会产生险象, 消除险象的方法有①、 (\quad) ; ②、 (\quad) ; ③、 (\quad) 。

6、函数 $F(A, B, C, D)$ 用变量 A 进行与或式展开为 (\quad) ; 用变量 B 进行或与式展开为 (\quad) 。

7、门电路中 OC、OD 门可以实现 (\quad) 功能, 三态门可以实现有条件的 (\quad) 功能。

8、图 1.8 所示为某与非门的传输特性、输入和输出特性曲线, 分别写出该门电路的下列参数:

输出高电平 $V_{OH} = (\quad)$ 、输出低电平 $V_{OL} = (\quad)$ 、输入短路电流 $I_{IS} = (\quad)$ 、

高电平输入电流 $I_{IH} = (\quad)$ 、最大拉电流 $I_{OH} = (\quad)$ 和最大灌电流 $I_{OL} = (\quad)$ 。

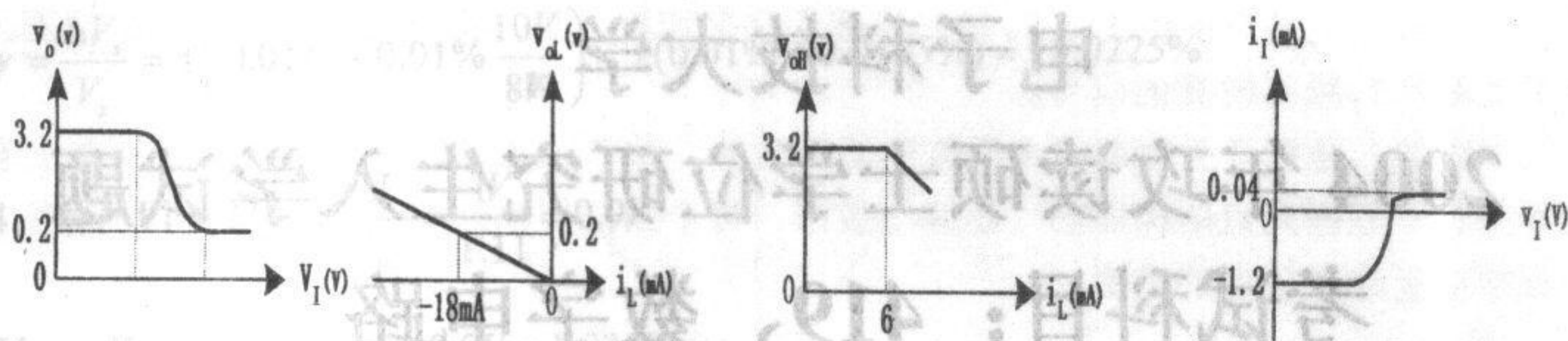
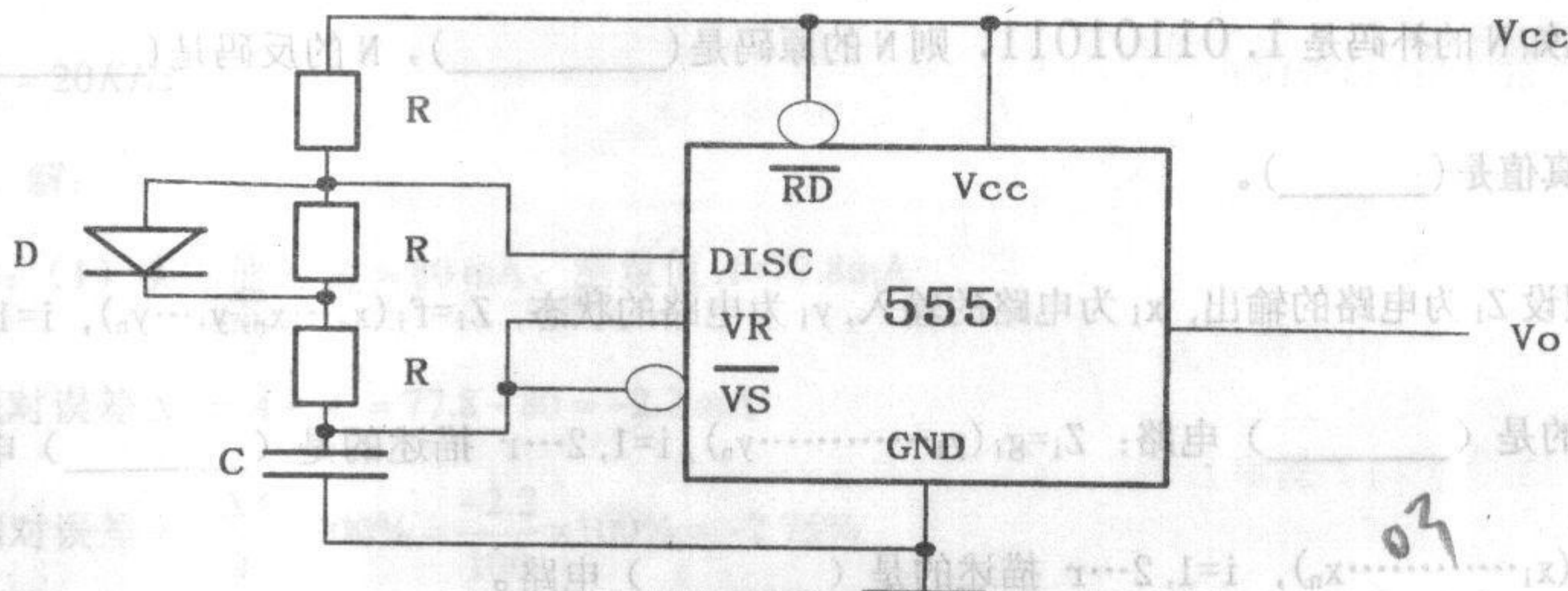


图1.8、某与非门的电压传输特性、输出和输入特性曲线

- 9、用反码表示符号数, 8 位二进制码能表示十进制整数的个数是 (); 用补码表示符号数, 8 位二进制码能表示十进制整数的个数是 ()。
- 10、下图所示电路是一个多谐振荡器, 二极管为理想特性, 输出波的占空比 (即一个周期中高低电平持续的时间比) 为 (); 若将图中二极管反向, 设输出波的周期为 40ms, 则一个周期中高电平的时间为 () ms, 低电平的时间为 () ms。



二、 选择题 (每题只有一个最合适的答案, 多选不得分。共 15 小题, 每小题 2 分, 小计 30 分)。

- 1、下列几种说法中与 BCD 码的性质不符的是 ()。
- (a) 一组四位二进制数组成的码只能表示一位十进制数;
 (b) BCD 码是一种人为选定的 0-9 十个数字的代码;
 (c) BCD 码是一组四位二进制数, 能表示十六以内的十进制数;
 (d) BCD 码有多种。
- 2、已知 $F = \overline{A B C} + C D$, 选出下列中的 () 可以肯定使 $F=0$ 。
- (a) $A=0, BC=1$; (b) $B=1, C=1$; (c) $C=1, D=0$; (d) $BC=1, D=1$;
- 3、 () 电路在任何时刻只能有一个输出端有效。
- (a) 二进制译码器 (b) 二进制编码器 (c) 七段显示译码器 (d) 十进制计数器

- 4、若将一 TTL 异或门(输入端 A、B)当作反相器(非门)使用,则 A、B 端的连接方式是_____。
- (a) A 或 B 中有一个接“1”; (b) A 或 B 中有一个接“0”;
(c) A 和 B 并联使用; (d) 不能实现。
- 5、若 999 个“1”异或的结果为 F1, 999 个“0”同或的结果为 F2, 则 F1 异或 F2 的结果为_____。
- (a) 0 (b) 1 (c) 不唯一 (d) 没意义
- 6、使用 512×4 位的 RAM 芯片构成 4096×16 位存储器,共需 256×4 位的 RAM 芯片_____片。
- (a) 64 (b) 32 (c) 16 (d) 8
- 7、欲用移位寄存器产生序列信号 100001, 则至少需要_____级触发器。
- (a) 2 (b) 3 (c) 4 (d) 5
- 8、移位寄存器由 4 级触发器组成,用它构成的环形计数器具有_____种有效状态;用它构成的扭环计数器具有_____种有效状态。
- (a) 16, 8 (b) 8, 4 (c) 4, 4 (d) 4, 8
- 9、用或非门组成的基本 RS 触发器的所谓“状态不定”是发生在 R 和 S 同时加入信号_____。
- (a) $R=0, S=0$ (b) $R=0, S=1$ (c) $R=1, S=0$ (d) $R=1, S=1$
- 10、已知二变量输入逻辑门的输入 A、B 和输出 F 的波形如图 2.10 所示,试判断这是_____的输入输出的波形。
- (a) 与非门 (b) 或非门 (c) 同或门 (d) 与门

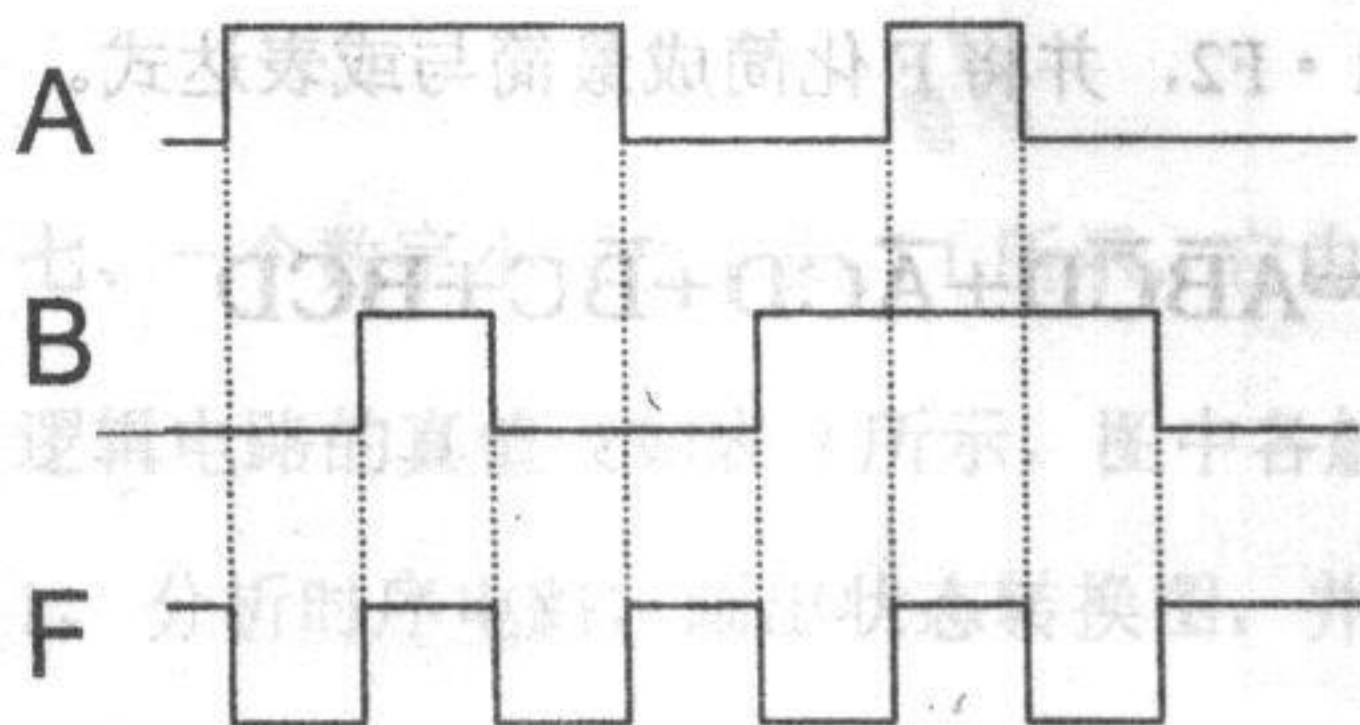


图 2.10

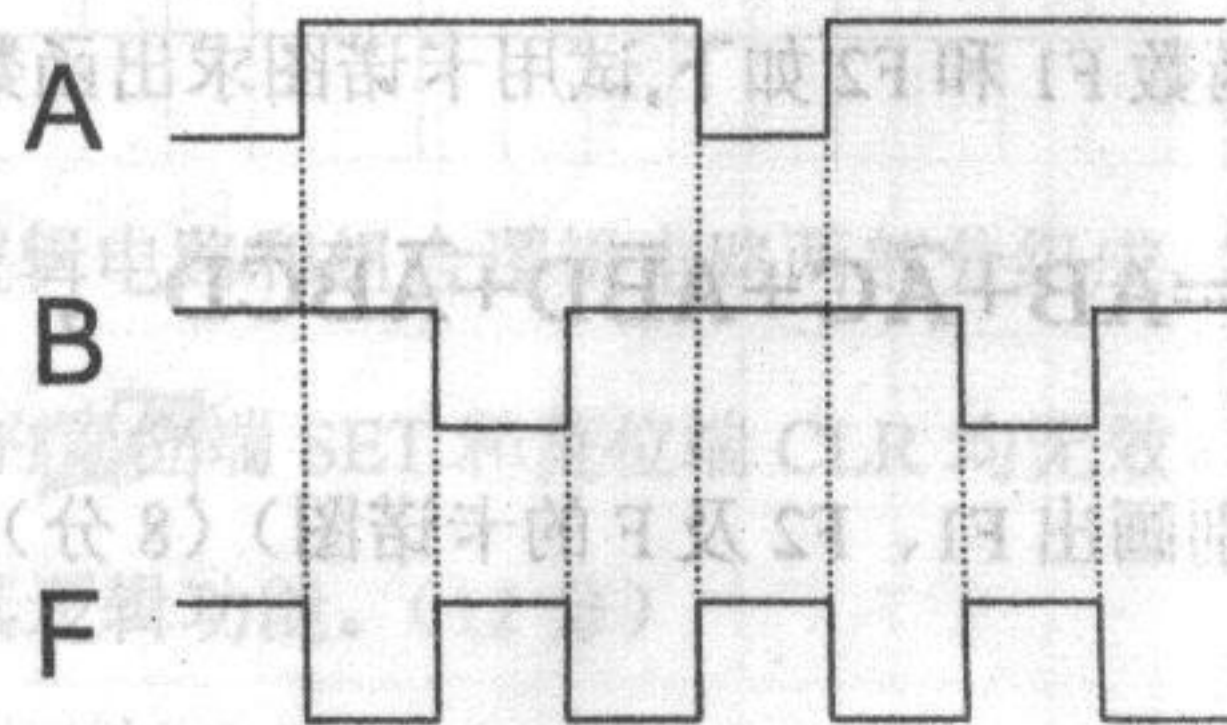


图 2.11

- 11、对于图 2.11 所示波形,其反应的逻辑关系是_____。
- (a) 与非关系 (b) 异或关系 (c) 同或关系 (d) 无法判断

12、将逻辑函数 $\overline{B}CD + A\overline{B}C + \overline{C}D + B\overline{C}$ 化简为 $\overline{B}D + (B \oplus C)$ 时是使用了约束项()。

- (a) $\overline{A}BCD$ (b) $\overline{A}\overline{B}CD$ (c) $\overline{A}\overline{B}\overline{C}D$ (d) $ABCD$

13、一个五位的二进制加法计数器，初始状态为 00000，问经过 201 个输入脉冲后，此计数器的状态为_____。

- (a) 00111 (b) 00101 (c) 01000 (d) 01001

14、已知某电路的真值表如表 2.14 所示，该电路的逻辑表达式是_____。

- (a) $F=C$ (b) $F=ABC$ (c) $F=AB+C$ (d) $F=\overline{B}\overline{C}+C$

表 2.14

A	B	C	F	A	B	C	F
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

15、将触发器预置为“0”状态，应将 \overline{RD} 、 \overline{SD} 端加()电平信号。

- (a) $\overline{RD}=0, \overline{SD}=0$ (b) $\overline{RD}=0, \overline{SD}=1$ (c) $\overline{RD}=1, \overline{SD}=0$ (d) $\overline{RD}=1, \overline{SD}=1$

三、逻辑函数化简 (13 分)

1、用公式法将逻辑函数 $F = (A \oplus B) + (B \odot C)$ 化简成最简单的与非-与非表达式。(5 分)

2、已知函数 F_1 和 F_2 如下,试用卡诺图求出函数 $F = F_1 \cdot F_2$ ，并将 F 化简成最简与或表达式。

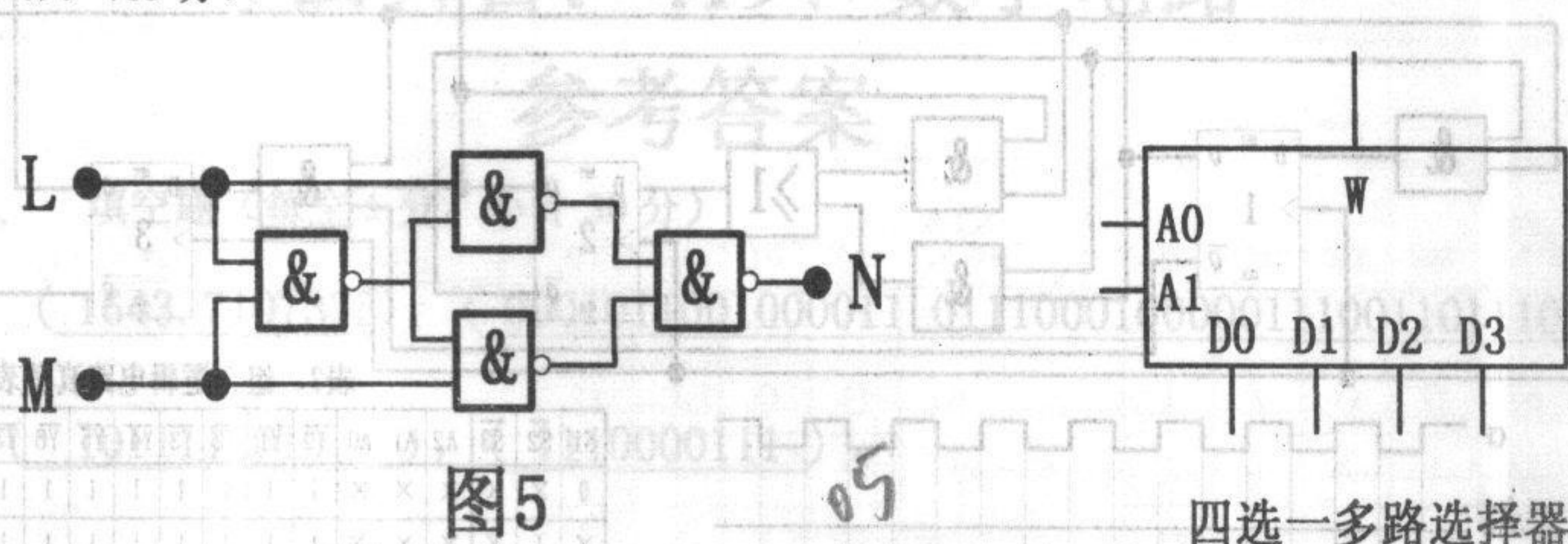
$$F_1 = AB + \overline{A}C + A\overline{B}D + \overline{A}\overline{B}\overline{C}D, \quad F_2 = \overline{A}\overline{B}\overline{C}D + \overline{A}CD + \overline{B}C + BCD$$

(要求分别画出 F_1 、 F_2 及 F 的卡诺图)(8 分)

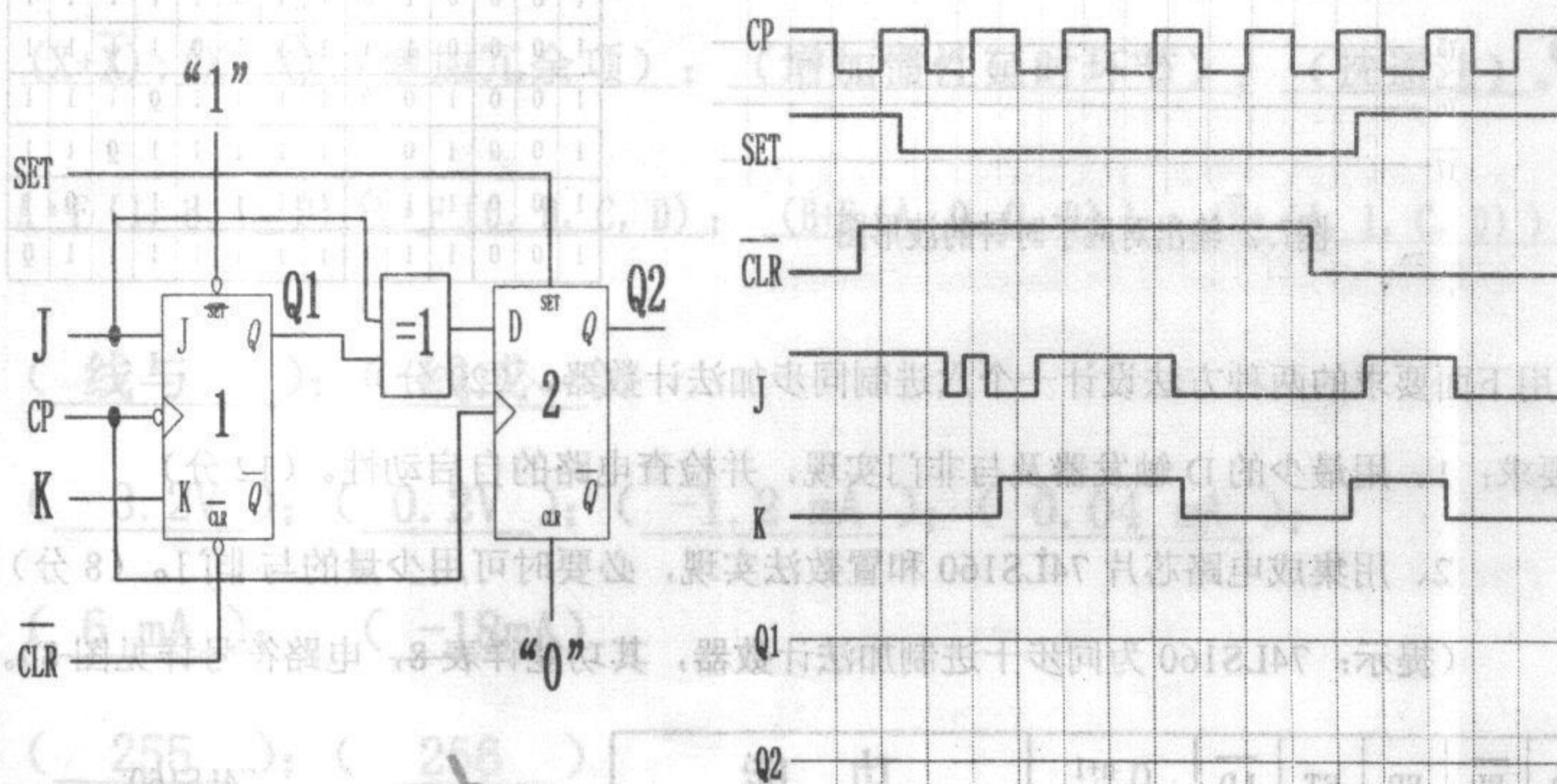
四、用卡诺图法将逻辑函数 $F(A, B, C, D) = \sum m(1, 4, 5, 12, 13, 15) + \sum d(0, 2,$

$11, 14)$ 化为最简的与或表达式和最简的或与表达式；并分析化简后的与或表达式是否存在逻辑冒险，若有，则消除之；消除后用与非门设计出该逻辑函数。(12 分)

五、用图 5 所示的电路及一个四选一数据选择器实现逻辑函数 $F(A, B, C, D) = \sum m(1, 3, 5, 7, 11, 12, 13, 14)$ 。要求只用 A, B, C, D 四个原变量和图 5 中电路的输入端 L, M 及输出端 N 实现（既不能用“0”和“1”常量作为输入，也不能用 A, B, C, D 的反变量作为输入）。（15 分）



六、分析图 6 所示电路，根据输入波形画出相应的输出波形。（10 分）



七、一个数字小系统如图 7.1 所示，它由时序逻辑电路和组合逻辑电路两部分组成，图中组合逻辑电路的真值表如表 7 所示，图中各触发器的置位端 SET 和复位端 CLR 均无效。（20 分）

- 1、分析时序电路，画出状态转换图，并说明其逻辑功能。（12 分）
- 2、根据组合逻辑电路的真值表，写出该组合逻辑电路的名称。（2 分）
- 3、已知时钟脉冲的波形如图 7.2 所示，假定触发器的初始状态为 111，画出组合逻辑电路各输出端对应于时钟的波形。（6 分）

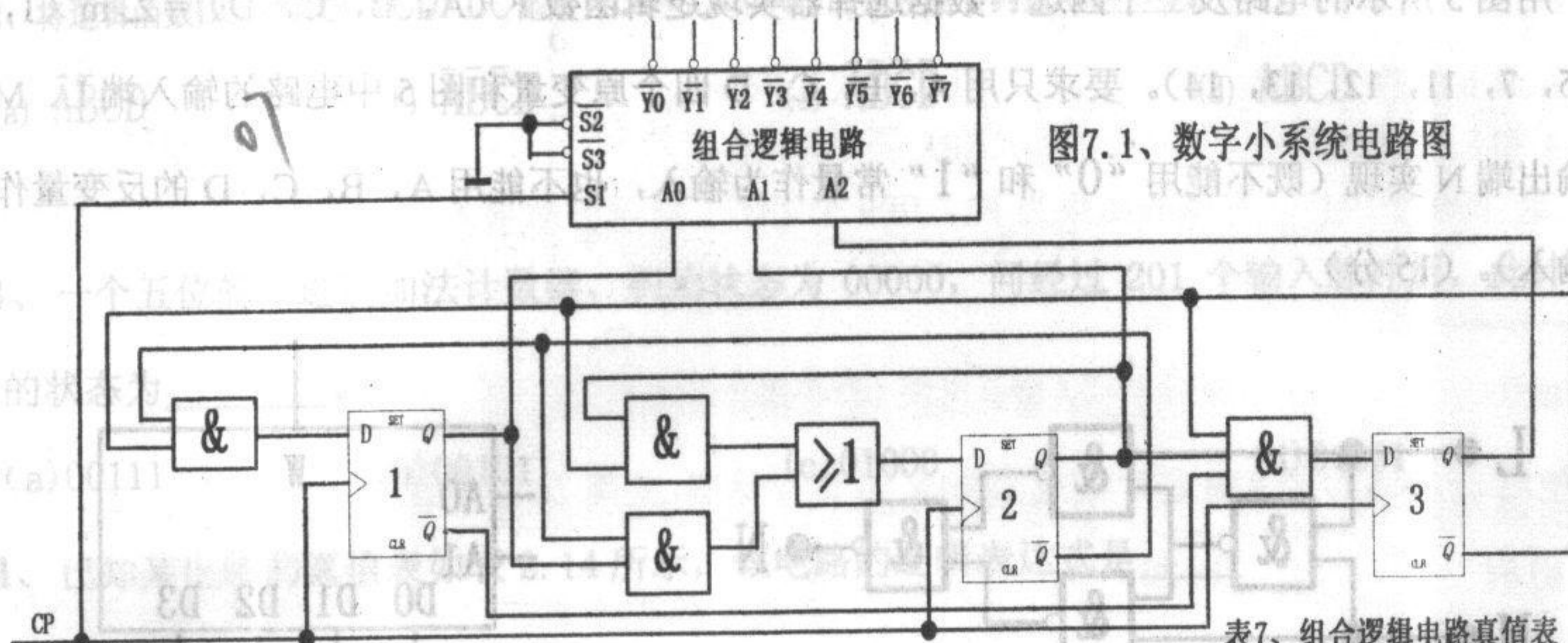


图7.1、数字小系统电路图

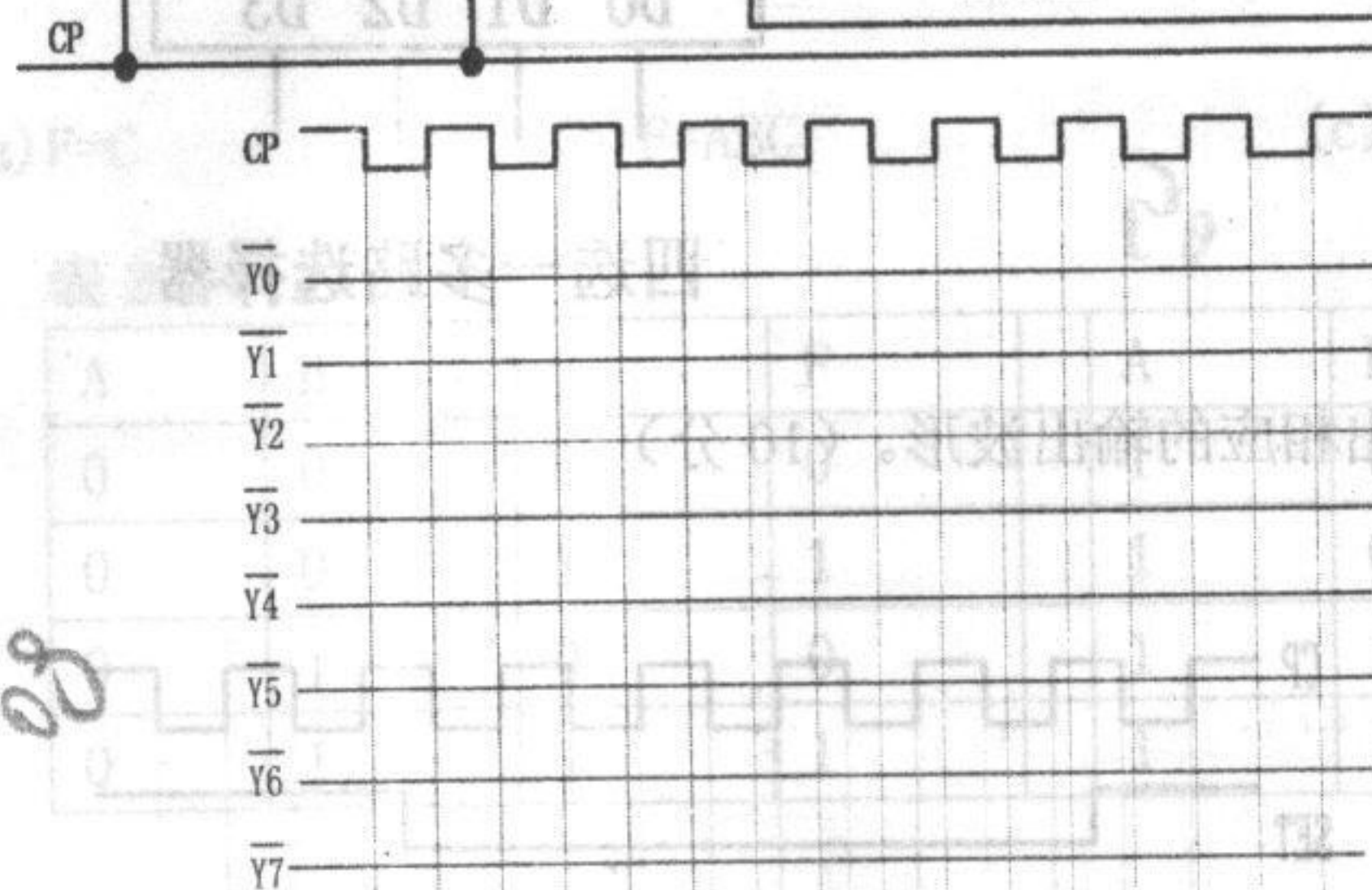


图7.2 输出对应于时钟的波形图

表7、组合逻辑电路真值表

S1	S2	S3	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

八、用下面要求的两种方法设计一个六进制同步加法计数器。(20 分)

要求：1、用最少的 D 触发器及与非门实现，并检查电路的自启动性。(12 分)

2、用集成电路芯片 74LS160 和置数法实现，必要时可用少量的与非门。(8 分)

(提示：74LS160 为同步十进制加法计数器，其功能详表 8，电路符号详见图 8)。

CP	\overline{RD}	EP	ET	\overline{LD}	Q_i^{n+1}	功 能
x	0	x	x	x	0	异步清零
x	1	0	1	1	Q_i^n	保持
x	1	x	0	1	Q_i^n	保持但C清零
\uparrow	1	x	x	0	P_i	同步置数
\uparrow	1	1	1	1		同步十进制加法计数

表8、图集成电路74LS160功能表

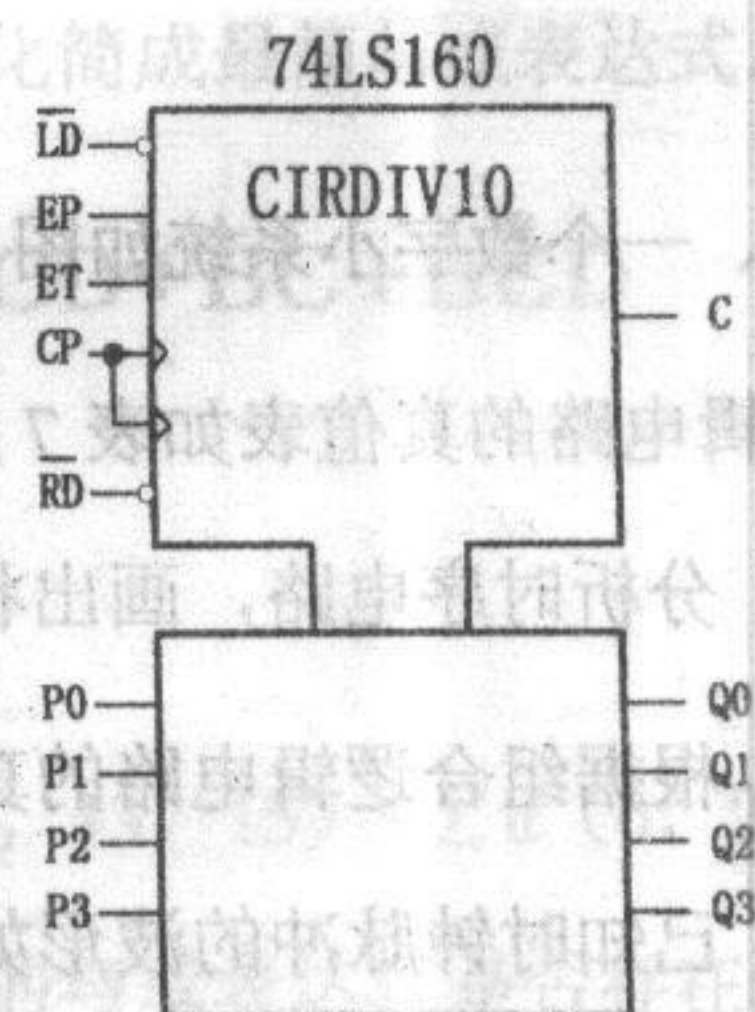


图8、74LS160电路符号